

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 4 月 22 日 (22.04.2004)

PCT

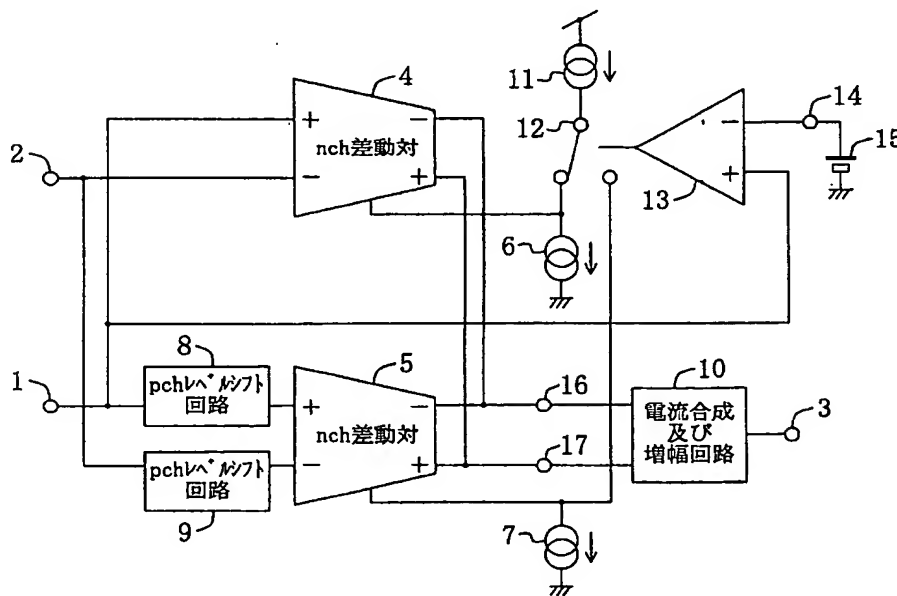
(10) 国際公開番号
WO 2004/034576 A1

- (51) 国際特許分類: H03F 3/45, H03G 3/20 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/012922 (75) 発明者/出願人 (米国についてのみ): 小笹 正之
(22) 国際出願日: 2003 年 10 月 8 日 (08.10.2003) (OZASA, Masayuki) [JP/JP]; 〒615-0064 京都府 京
(25) 国際出願の言語: 日本語 都市 右京区西院久田町 1 7 Kyoto (JP). 横山 明夫
(26) 国際公開の言語: 日本語 (YOKOYAMA, Akio) [JP/JP]; 〒567-0023 大阪府 茨木
(30) 優先権データ: 特願2002-295098 2002 年 10 月 8 日 (08.10.2002) JP 市 西河原 1-1 8-1 0 1 1 Osaka (JP).
(71) 出願人 (米国を除く全ての指定国について): 松下電 (81) 指定国 (国内): CN, US.
器産業株式会社 (MATSUSHITA ELECTRIC INDUS- 添付公開書類:
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 ー 国際調査報告書
大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: DIFFERENTIAL AMPLIFIER AND CALCULATION AMPLIFIER

(54) 発明の名称: 差動増幅器及び演算増幅器



- 4...nch DIFFERENTIAL COUPLE
8...pch LEVEL SHIFT CIRCUIT
9...pch LEVEL SHIFT CIRCUIT
5...nch DIFFERENTIAL COUPLE
10...CURRENT SYNTHESIS AND AMPLIFICATION CIRCUIT

(57) Abstract: In a differential amplifier and a calculation amplifier for amplifying a signal, a differential signal composed of a first and a second signal is input to a pair of input terminals (1, 2). For example, when the voltage of the first signal is below a voltage value of a reference voltage source (15), this is detected by a comparator (13) and a switch circuit (12) is switched to a first current source (6) side, so that current from a third current source (11) flows into the first current source (6) while preventing flow of the current to a first differential couple (4). As a result, the differential signal input is amplified only via a second differential couple (5) and output. On the contrary, when the voltage of the first signal exceeds the voltage of the reference voltage source (15), the switch circuit (12) is switched to a second current source (7) side and the differential signal input is amplified only via the first differential couple (4) and output. Thus, the gain is identical in the entire input operation voltage

range and operation is executed at a high speed.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 信号を増幅する差動増幅器及び演算増幅器において、第1及び第2の信号で構成される差動信号が一对の入力端子1、2に入力される。例えば第1の信号の電圧が基準電圧源15の電圧値未満の際には、比較器13がこれを検知して、スイッチ回路12が第1の電流源6側に切換わり、第3の電流源11の電流が第1の電流源6に流れて、第1の差動対4に電流が流れることが阻止される。その結果、入力された差動信号は第2の差動対5のみを経て増幅、出力される。一方、第1の信号の電圧が基準電圧源15の電圧を越えた状況では、反対に、スイッチ回路12が第2の電流源7側に切換わって、入力された差動信号は第1の差動対4のみを経て増幅、出力される。従って、全入力動作電圧範囲において利得が等しく、且つ高速に動作する。

明細書

差動増幅器及び演算増幅器

技術分野

本発明は、電子機器や半導体集積回路の増幅器に使用される差動増幅器及び演算増幅器に関する。

背景技術

従来、電子機器や半導体集積回路の増幅器に使用される差動増幅器として、文献1（「半導体回路設計技術」（玉井徳迪監修、日経BP社出版、1版、308ページ））、及び文献2（Analysis and Design of Analog Integrated Circuits（Paul R. Gray、Robert G. Meyer著、John Wiley & Sons出版、Third Edition、244ページ））に開示されたものがある。

図29は前記文献1や文献2に記載された従来の差動増幅器の回路図を示す。同図において、1、2は差動信号を入力する第1及び第2の入力端子、M1及びM2は差動対を構成するnチャンネルMOSトランジスタであって、前記第1及び第2の入力端子に入力された信号をゲートに受ける。M3は差動増幅器のテール電流源を構成するnチャンネルMOSトランジスタ、NGBはこのnチャンネルMOSトランジスタを電流源として動作させるためのゲート電圧印加端子、VSSは回路の負電源又は接地を印加するための端子、16、17は前記差動対M1、M2により電流に変換された信号を出力する出力端子である。

このように構成された差動増幅器の動作を説明する。第1及び第2の入力端子1、2に入力された差動信号の電圧差に応じて、nチャンネルMOSトランジスタM3の電流を2個のnチャンネルMOSトランジスタM1、M2で電流を分配

する。差動信号を構成する2つの信号が等しい入力電圧を持つとき、電流の変換率はコンダクタンス g_m と定義され、差動対を構成する n チャンネル MOS トランジスタのコンダクタンス g_m を g_{mn} として、

$$g_{mn} = I_{ds} / (V_{gs} - V_{thn})$$

で表現される。ここで、 I_{ds} は MOS トランジスタに流れる電流、 V_{gs} はゲート-ソース間電圧、 V_{thn} は n チャンネル MOS トランジスタの閾値電圧である。

しかしながら、入力信号の電圧が低い場合には、 nch MOS トランジスタ M_3 が線形領域で動作するために、流れる電流が減ってしまい、本来の動作が得られなくなる。従って、図29の従来回路では、入力動作電圧範囲が、テール電流源を構成する n チャンネル MOS トランジスタ M_3 が飽和領域で動作する電圧範囲に限定されてしまうという欠点がある。

図30は、図29の従来回路と同一機能を p チャンネル MOS トランジスタで構成した差動増幅器を示す。同図において、1、2は入力端子、 M_{22} 及び M_{23} は差動対を構成する p チャンネル MOS トランジスタ、 M_{24} は差動増幅器のテール電流源を構成する p チャンネル MOS トランジスタ、 PGB は p チャンネル MOS トランジスタを電流源として動作させるためのゲート電圧印加端子、 VDD は回路の正電源を印加するための端子、34、35は電流に変換された信号を出力する出力端子である。

このように構成された差動増幅器においても、 n チャンネル MOS トランジスタで構成した回路と同様に、電流の変換率はコンダクタンス g_m として得られる。従って、 p チャンネル MOS トランジスタのコンダクタンス g_m を g_{mp} として、

$$g_{mp} = I_{ds} / (V_{sg} - V_{thp})$$

ここで、 I_{ds} は MOS トランジスタに流れる電流、 V_{sg} はソース-ゲート

間電圧、 V_{thp} はpチャンネルMOSトランジスタの閾値電圧である。

しかしながら、図30に示した差動増幅器では、入力電圧が高い場合には、pチャンネルMOSトランジスタM24が線形領域で動作するために、流れる電流が減ってしまい、本来の動作が得られなくなる。従って、図30の差動増幅器でも、入力動作電圧範囲が、テール電流源を構成するpチャンネルMOSトランジスタM24が飽和領域で動作する電圧範囲に制限されてしまうという欠点を持っている。

このように、図29及び図30に示した差動増幅器では、入力動作電圧範囲に制限があるという課題があった。

そこで、このような課題を解消して全入力動作電圧範囲で動作する増幅器として、従来、文献3（特表平11-500883号公報）に記載されたものがある。

図31は、前記文献3に記載の増幅器の部分である差動増幅器の回路図である。図31において、M6とM7は差動対を構成するnチャンネルMOSトランジスタ、M27とM28は差動対を構成するpチャンネルMOSトランジスタ、6、7、32、36は各々の差動増幅器を構成するテール電流源、27、38は差動増幅器のテール電流源の電流を打ち消すための電流源、M25とM26はテール電流源6、7の動作状態を検出し、電流源38をオンオフさせるnチャンネルMOSトランジスタ、M29とM30はテール電流源32、36の動作状態を検出し、電流源27をオンオフさせるpチャンネルMOSトランジスタである。

更に、図32は前記文献3の増幅器の動作を説明するブロック図である。同図において、4はnチャンネルMOSトランジスタM1とM2とで構成される差動対、5はnチャンネルMOSトランジスタM6とM7とで構成される差動対、3

0はpチャンネルMOSトランジスタM27とM28とで構成される差動対、31はpチャンネルMOSトランジスタM22とM23とで構成される差動対、28はpチャンネルMOSトランジスタM29とM30とで構成されるスイッチ、29はnチャンネルMOSトランジスタM6とM7との動作により発生するスイッチ、37はnチャンネルMOSトランジスタM25とM26とにより構成されるスイッチ、33はpチャンネルMOSトランジスタM22とM23との動作により発生するスイッチ、10は差動増幅器の出力端子から出力される電流を合成及び増幅する電流合成及び電流増幅回路、3は演算増幅器の出力である。

このように構成された差動増幅器の動作を説明する。この文献3の増幅器では、nチャンネルMOSトランジスタによる差動対とpチャンネルMOSトランジスタによる差動対とを組み合わせ動作させることにより、既述した図29及び図30で説明した従来回路の課題である差動増幅器の入力電圧動作範囲の制限を解決している。つまり、この文献3の増幅器では、回路の負電源VSS近傍電圧では差動対30と差動対31が動作し、中間電圧では差動対5と差動対30が動作し、回路の正電源VDD近傍の高電圧では差動対4と差動対5が動作する。従って、差動増幅器の変換率 g_m は3種の場合があり、接地電位VSS近傍では、

$g_m = 2 \cdot g_{mp}$ で表現され、

中間電圧では、

$g_m = g_{mn} + g_{mp}$ で表現され、

電源電圧VDD近傍では、

$g_m = 2 \cdot g_{mn}$ で表現される。

従って、前記文献3の増幅器を構成する差動増幅器は、全入力電圧範囲で動作できるものの、差動増幅器の変換率 g_m を一定に保つためには、

$$g_{mn} = g_{mp}$$

の関係が必要条件となる。これは、拡散プロセスのばらつきを加味すると、必ず

しも守ることはできない。従って、文献3の増幅器を構成する差動増幅器では、全入力電圧範囲で動作可能であるものの、全入力電圧範囲で変換率を一定に保つためには、nチャンネルMOSトランジスタ特性とpチャンネルMOSトランジスタ特性とを同等にする必要性が生じる欠点がある。尚、この文献3の差動増幅器では、差動増幅器の出力形式が、nチャンネルMOSトランジスタによる差動対ではVDD近傍の出力電圧に、pチャンネルMOSトランジスタによる差動対ではVSS近傍の動作電圧になるため、各々、動作電圧点の異なる電流を合成しなければならず、電流合成が複雑になる欠点もある。

また、従来、全入力動作電圧範囲で動作する増幅器として、文献4（特開平8-18355号公報）に記載されたものがある。

図33は、前記文献4に記載の演算増幅器の部分である差動増幅器の回路図を示す。図33において、M5、M10は入力信号をレベルシフトするpチャンネルMOSトランジスタ、M1とM2は差動対を構成するnチャンネルMOSトランジスタ、M6とM7は他の差動対を構成するnチャンネルMOSトランジスタ、6、7は各々の差動増幅器を構成するテール電流源、39、40はpチャンネルMOSトランジスタを駆動する電流源である。

更に、図34は前記図33に具体的に示した文献4の演算増幅器の動作を説明するためのブロック図である。同図において、8、9は差動信号の電圧レベルを移動するためのレベルシフト回路、4、5はnチャンネルMOSトランジスタで構成される差動対、10は差動増幅器の出力端子から出力される電流を合成及び増幅する回路、3は演算増幅器の出力である。

このように構成された文献4の差動増幅器の動作を説明する。この文献4の演算増幅器では、nチャンネルMOSトランジスタによる差動対とレベルシフト回

路とを組み合わせ動作させ、図29において説明した従来の課題である差動増幅器の入力動作電圧範囲の制限を解決している。つまり、文献4の演算増幅器では、回路の負電源VSS近傍電圧では差動対5が動作し、中間電圧では差動対4と差動対5が動作し、回路の正電源VDD近傍の高電圧では差動対4が動作する。従って、差動増幅器の変換率 g_m は3つの場合があり、接地電位VSS近傍では、

$$g_m = g_{mn} \text{で表現され、}$$

中間電圧では、

$$g_m = 2 \cdot g_{mn} \text{で表現され、}$$

電源電位VDD近傍では、

$$g_m = g_{mn}$$

で表現される。従って、前記文献4の演算増幅器を構成する差動増幅器では、全入力電圧範囲で動作できるが、差動対4と差動対5との変換率を各々変更したとしても、差動増幅器の変換率を一定に保つことはできない。従って、文献4の演算増幅器を構成する差動増幅器は、全入力電圧範囲で変換率を一定に保つことができないという欠点を持つ。

そこで、従来、全入力電圧範囲で動作できて、しかも、全入力電圧範囲で変換率を一定に保持できる差動増幅器として、文献5（特開平8-18354号公報）に記載されたものがある。

図35は、前記文献5の演算増幅器を構成する差動増幅器の回路図を示す。同図において、M31、M33、M35、M36、M37は差動信号の電圧レベルによる電流変化を測定するための差動増幅器及びダイオード負荷、M32、M34、M38、M39は電流引き算回路を構成するpチャンネルMOSトランジスタ、M40、M41は電流引き算回路を構成するnチャンネルMOSトランジスタである。他の回路構成は図33と同様である。

図36は、前記文献5の演算増幅器の動作を説明するブロック図を示す。同図において、41は差動信号の電圧レベルによる電流変化を測定するための電流測定回路、42は電流測定回路41で検出した電流を本来の電流から引き算するための電流引き算回路、M8は前記電流引き算回路42の出力により制御されるテール電流源である。

このように構成された文献5の差動増幅器の動作を説明する。この文献5の演算増幅器では、nチャンネルMOSトランジスタによる差動対とレベルシフト回路とを組み合わせ動作させ、前記図29において説明した従来の課題である差動増幅器の入力動作電圧範囲の制限を解決している。つまり、この文献5の演算増幅器では、回路の負電源VSS近傍電圧では差動対5が動作し、中間電圧では電流検出回路41及び電流引き算回路42によりnチャンネルMOSトランジスタM8の電流を止めて電流差動対4のみが動作し、回路の正電源VDD近傍の高電圧でも差動対4が動作する。従って、差動増幅器の変換率 g_m は2つの場合があり、接地電位VSS近傍では、

$$g_m = g_{mn}$$

中間電圧及び電源電位VDD近傍では、

$$g_m = g_{mn}$$

となる。

従って、前記文献5の演算増幅器を構成する差動増幅器は、全入力電圧範囲で動作でき、しかも差動増幅器の変換率を一定に保持することができる。

解決課題

しかしながら、前記文献5の差動増幅器では、高速で大振幅の入力信号には素早く応答することができない欠点があった。即ち、電流測定回路41及び電流引き算回路42にカレントミラー回路（(M31とM32）、(M38とM3

9)) が用いられており、このカレントミラー回路は、そのオフからオンへの動作時には、所期通りの動作速度が確保されるが、オンからオフへの動作時には、MOSトランジスタのゲート容量に蓄積された電荷を素早く抜くことができないために、動作速度が遅くなる欠点がある。このように、文献5の演算増幅器を構成する差動増幅器では、高速に動作できない欠点があった。

発明の開示

本発明は、前記従来課題を解決するものであり、その目的は、差動増幅器及び演算増幅器において、信号を増幅する場合に全入力動作電圧範囲において利得が等しく、且つ、高速に動作することができるようにすることにある。

前記の目的を達成するために、本発明の差動増幅器及び演算増幅器では、前記図34に示した文献4の増幅器のように、2つの差動対と、電流源と、2つのレベルシフト回路を備えた構成に対して、カレントミラー回路を有する電流測定回路や電流引き算回路を使用せず、これに代えて、カレントミラー回路を備えない比較器及びスイッチでもって同様の機能を奏する増幅器を構成することとする。

即ち、本発明の差動増幅器は、第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、前記第1及び第2のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する第1の差動対及び第1の電流源と、前記第1及び第2の入力端子に入力された差動信号を電流に変換する第2の差動対及び第2の電流源と、第3の電流源及び基準電圧源と、前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、前記比較器の比較結果に応じて、前記第3の電流源の電流を前記第1の電流源又は第2の電流源に振

り分けるスイッチ回路と、前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子とを備えたことを特徴とする。

また、本発明は、前記差動増幅器において、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路を備え、前記第 2 の差動対及び第 2 の電流源は、前記第 1 及び第 2 の入力端子に入力された差動信号に代えて、前記第 3 及び第 4 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換することを特徴とする。

更に、本発明の差動増幅器は、第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子と、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 1 及び第 2 のレベルシフト回路と、基準電圧源と、前記第 1 及び第 2 のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第 1 及び第 2 の電圧リミット回路と、前記第 1 及び第 2 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、前記第 1 及び第 2 の入力端子に入力された差動信号を電流に変換する第 2 の差動対及び第 2 の電流源と、第 3 の電流源と、前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、前記比較器の比較結果に応じて、前記第 3 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分けるスイッチ回路と、前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子とを備えたことを特徴とする。

加えて、本発明は、前記差動増幅器において、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路を備え、前記第 2 の差動対及び第 2 の電流源は、前記第 1 及び第 2 の入力端

子に入力された差動信号に代えて、前記第 3 及び第 4 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換することを特徴とする。

更に加えて、本発明は、前記差動増幅器において、第 4 の電流源と、前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する第 2 の比較器と、前記第 2 の比較器の比較結果に応じて、前記第 4 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分ける第 2 のスイッチ回路とを備えたことを特徴とする。

また、本発明は、前記差動増幅器において、第 4 の電流源と、前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する第 2 の比較器と、前記第 2 の比較器の比較結果に応じて、前記第 4 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分ける第 2 のスイッチ回路とを備えたことを特徴とする。

更に、本発明の差動増幅器は、第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子と、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 1 及び第 2 のレベルシフト回路と、基準電圧源と、前記第 1 及び第 2 のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第 1 及び第 2 の電圧リミット回路と、前記第 1 及び第 2 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路と、前記第 3 及び第 4 のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第 3 及び第 4 の電圧リミット回路と、前記第 3 及び第 4 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 2 の

差動対及び第 2 の電流源と、前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子とを備えたことを特徴とする。

加えて、本発明は、前記差動増幅器において、前記比較器及びスイッチ回路は、ゲートに前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号を受ける第 1 のトランジスタと、ゲートに前記基準電圧源が接続された第 2 のトランジスタとを備え、前記第 1 及び第 2 のトランジスタは、その各一端が前記第 3 の電流源に共通に接続され、他端が各々前記第 1 及び第 2 の電流源に接続されることを特徴とする。

更に加えて、本発明の演算増幅器は、前記差動増幅器と、前記差動増幅器の電流出力を合成し、増幅する電流合成及び増幅回路とを備えたことを特徴とする。

以上の構成により、本発明では、差動信号を構成する第 1 又は第 2 の信号のうち一方の例えば第 1 の信号の電圧が基準電圧源の電圧値未満の際には、比較器がこれを検知して、スイッチ回路が例えば第 1 の電源源側に切換わり、第 3 の電流源の電流が第 1 の電流源に流れて、第 1 の差動対に電流が流れることが阻止される。その結果、入力された差動信号は第 2 の差動対のみを経て出力される。一方、第 1 の信号の電圧が基準電圧源の電圧を越えた状況では、スイッチ回路が今度は第 2 の電源源側に切換わり、第 3 の電流源の電流が第 2 の電流源に流れて、第 2 の差動対に電流が流れることが阻止されるので、入力された差動信号は第 1 の差動対のみを経て出力される。従って、第 1 及び第 2 の差動対を同一極性のトランジスタで構成すると、全入力動作電圧範囲において利得が等しくなる。しかも、比較器及びスイッチ回路は、従来回路のようにカレントミラー回路を持たない構成であるので、高速な切換え動作が行われて、高速に動作する。

また、本発明野差動増幅器では、前記比較器及びスイッチ回路に代えて、これらと同様の動作を行う電圧リミット回路が設けられているので、全入力動作電圧範囲において利得が等しく、且つ高速に動作する。

図面の簡単な説明

図 1 は本発明の第 1 の実施の形態の演算増幅器のブロック構成を示す図である。

図 2 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 3 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 4 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 5 は本発明の第 2 の実施の形態の演算増幅器のブロック構成を示す図である。

図 6 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 7 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 8 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 9 は本発明の第 3 の実施の形態の演算増幅器のブロック構成を示す図である。

図 10 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 11 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 12 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 13 は本発明の第 4 の実施の形態の演算増幅器のブロック構成を示す図である。

図 14 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 15 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 16 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 1 7 は本発明の第 5 の実施の形態の演算増幅器のブロック構成を示す図である。

図 1 8 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 1 9 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 2 0 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 2 1 は本発明の第 6 の実施の形態の演算増幅器のブロック構成を示す図である。

図 2 2 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 2 3 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 2 4 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 2 5 は本発明の第 7 の実施の形態の演算増幅器のブロック構成を示す図である。

図 2 6 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 2 7 は同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

図 2 8 は同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

図 2 9 は文献 1 の差動増幅器の回路構成を示す図である。

図 3 0 は同差動増幅器を p チャンネル MOS トランジスタで構成した回路を示す図である。

図 3 1 は文献 3 の増幅器の具体的回路構成を示す図である。

図 3 2 は同増幅器のブロック回路構成を示す図である。

図 3 3 は文献 4 の増幅器の具体的回路構成を示す図である。

図 3 4 は同増幅器のブロック回路構成を示す図である。

図 3 5 は文献 5 の増幅器の具体的回路構成を示す図である。

図 3 6 は同増幅器のブロック回路構成を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

(第 1 の実施の形態)

図 1 は第 1 の実施の形態における演算増幅器のブロック図を示すものである。

図 1 において、1、2 は第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子であって、この入力端子 1、2 に入力された第 1 及び第 2 の信号は、各々、p チャネル MOS トランジスタにより構成される第 1 及び第 2 のレベルシフト回路 8、9 により、その電圧レベルがシフトされる。5 は n チャネル MOS トランジスタにより構成される第 1 の差動対、4 は前記第 1 の差動対 5 と同一極性の n チャネル MOS トランジスタにより構成される第 2 の差動対、7 は前記第 1 の差動対 5 用の第 1 の電流源、6 は前記第 2 の差動対 4 用の第 2 の電流源であって、前記第 1 の電流源 7 と等量の電流を供給する。前記第 1 の差動対 5 及び第 1 の電流源 7 は、前記第 1 及び第 2 のレベルシフト回路 8、9 によりレベルシフトされた差動信号を電流に変換し、前記第 2 の差動対 4 及び第 2 の電流源 6 は、前記第 1 及び第 2 の入力端子 1、2 に入力された差動信号を電流に変換する。

また、11 は前記第 1 及び第 2 の電流源 7、6 と等量の電流を供給する第 3 の電流源、12 は前記第 3 の電流源 11 の電流を第 1 の電流源 7 又は第 2 の電流源 6 に振り分けるスイッチ回路、13 はスイッチ回路 12 を切換動作させるための比較器、15 は電源電圧 VDD と接地電位 VSS との間の所定電位を持つ基準電

圧源であって、この基準電圧源 15 は前記比較器 13 に判定基準を与えるように入力端子 14 を介して比較器 13 の一端に接続される。比較器 13 の+端子には、前記第 1 の入力端子 1 に入力される第 1 の信号（差動信号を構成する 2 つの信号のうち一方の信号）が入力される。前記比較器 13 は、第 1 の信号の電圧が基準電圧源 15 の電圧未満の際には、スイッチ回路 12 を第 2 の電流源 6 側に切り換え、一方、第 1 の信号の電圧が基準電圧源 15 の電圧以上の際には、スイッチ回路 12 を第 1 の電流源 7 側に切り換えるよう、スイッチ回路 12 を制御する。更に、図 1 において、16、17 は前記第 1 及び第 2 の差動対 5、4 の出力を共通にした第 1 及び第 2 の出力端子である。以上により、差動増幅器を構成する。

更に、図 1 において、10 は前記差動増幅器の出力端子 16、17 から出力される電流を合成及び増幅する電流合成及び増幅回路であり、この電流合成及び増幅回路 10 と前記差動増幅回路とを含めて演算増幅器を構成する。尚、図 1 において、3 は電流合成及び増幅回路 10 の出力端子であって、演算増幅器の出力端子でもある。

図 2 は、本実施の形態の差動増幅器の具体的な回路構成を示す。同図では、2 個の p チャンネル MOS トランジスタ M9、M10 により第 1 のレベルシフト回路 8 を構成し、他の 2 個の p チャンネル MOS トランジスタ M4、M5 により第 2 のレベルシフト回路 9 を構成する。また、2 個の n チャンネル MOS トランジスタ M6、M7 により第 1 の差動対 5 を、他の 2 個の n チャンネル MOS トランジスタ M1、M2 により第 2 の差動対 4 を、n チャンネル MOS トランジスタ M8 により第 1 の電流源 7 を、n チャンネル MOS トランジスタ M3 により第 2 の電流源 6 を各々構成する。

更に、図 2 において、p チャンネル MOS トランジスタ（第 1 のトランジスタ）M12 と、他の p チャンネル MOS トランジスタ（第 2 のトランジスタ）M

13とにより、比較器13及びスイッチ回路12を構成する。また、pチャンネルMOSトランジスタM11により第3の電流源11を構成する。前記比較器13及びスイッチ回路12において、pチャンネルMOSトランジスタM12のゲートには、第1の入力端子1の第1の信号が入力され、他のpチャンネルMOSトランジスタM12のゲートには入力端子14を経て基準電圧源15（図2では図示せず）が接続される。また、2個のpチャンネルMOSトランジスタM12、M13の各ソース（一端）は、第3の電流源11のpチャンネルMOSトランジスタM11のドレインに共通に接続され、pチャンネルMOSトランジスタM12のドレイン（他端）は第2の電流源6に、他のpチャンネルMOSトランジスタM13のドレイン（他端）は第1の電流源7に各々接続される。

以上のように構成された本実施の形態の差動増幅器の動作を、以下、図1及び図2を用いて説明する。

図1において、入力端子1の第1の信号の電圧が接地電位VSS近傍にあって基準電圧源15の電圧よりも低いときには、比較器13及びスイッチ回路12により、第3の電流源11の電流は第2の電流源6に流れ込む。これにより、第2の電流源6の電流が第3の電流源11の電流により相殺されて、第2の差動対4には電流が流れない。この際、入力された差動信号はレベルシフト回路8、9、第1の差動対5、電流合成及び増幅器10を通り、増幅されて出力端子3から出力される。

このとき、差動増幅器の変換率 g_m は、第1及び第2の差動対5、4を構成するnチャンネルMOSトランジスタのコンダクタンスを g_{mn} として、接地電位VSS近傍で、

$$g_m = g_{mn}$$

で表現される。入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えるまでは前記の動作が継続される。

次に、入力端子 1 の第 1 の電圧が基準電圧源 15 の電圧を超えると、比較器 13 及びスイッチ回路 12 の動作が反転し、第 3 の電流源 11 の電流が今度は第 1 の電流源 7 に流れ込む。これにより、第 1 の電流源 7 の電流が第 3 の電流源 11 の電流により相殺されて、第 1 の差動対 5 には電流が流れない。この際、入力された差動信号は第 1 の差動対 4、電流合成及び増幅器 10 を通って増幅されて、出力端子 3 から出力される。

このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となり、電源電圧 V_{DD} 近傍まで動作することができる。従って、本実施の形態では、第 1 の信号の電圧が接地電位 V_{SS} から電源電圧 V_{DD} までの全入力動作電圧範囲において利得が等しい。

更に、比較器 13 は、従来備えるカレントミラー回路とは異なり、高速な切り換え動作が可能であるので、演算増幅器は高速に動作できる。

以下、本実施の形態の差動増幅器の更に詳細な動作を図 2 を用いて説明する。入力端子 1 の第 1 の信号の電圧が接地電位 V_{SS} 近傍のときには、p チャンネル MOS トランジスタ M12 が導通し、p チャンネル MOS トランジスタ M11 の電流が n チャンネル MOS トランジスタ M3 に流れ込む。これにより、n チャンネル MOS トランジスタ M3 の電流が p チャンネル MOS トランジスタ M11 の電流により相殺され、n チャンネル MOS トランジスタ M1、M2 とには電流が流れない。従って、入力された差動信号は、p チャンネル MOS トランジスタ M5、M10、n チャンネル MOS トランジスタ M6、M7 を通り、出力端子 16、17 から差動増幅器の電流出力として出力される。このとき、差動増幅器の変換率 g_m は、 V_{SS} 近傍で、

$$g_m = g_{mn}$$

となる。入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えるまでは前記の動作が継続される。

次に、入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えると、pチャンネルMOSトランジスタM13が導通し、pチャンネルMOSトランジスタM11の電流がnチャンネルMOSトランジスタM8に流れ込む。これにより、nチャンネルMOSトランジスタM8の電流がpチャンネルMOSトランジスタM11の電流により相殺されて、nチャンネルトランジスタM6、M7には電流が流れない。従って、入力された差動信号は、nチャンネルMOSトランジスタM1、M2を通して、出力端子16、17から差動増幅器の電流出力として出力される。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となり、第1の信号の電圧が電源電圧VDD近傍までこの状態で動作することができる。

ここで、比較器13及びスイッチ回路12は、図2から判るように、カレントミラー回路の構成を有しないので、これ等を構成するpチャンネルMOSトランジスタM12、M13は高速な切り換え動作が可能であり、従って差動増幅器は高速に動作する。

尚、図2の差動増幅器では、基準電圧源15の電圧の選定については、動作条件として、pチャンネルMOSトランジスタM11が飽和領域で動作し、且つnチャンネルMOSトランジスタM1、M2が動作する際にはnチャンネルMOSトランジスタM3が飽和領域で動作し、一方、nチャンネルMOSトランジスタM6、M7が動作する際にはnチャンネルMOSトランジスタM8が飽和領域で動作するように、基準電圧源15の電圧を選べば良い。また、pチャンネルMOSトランジスタM5、M10によるレベルシフト電圧量は、nチャンネルMOS

トランジスタM8が飽和動作で動作するように、pチャンネルMOSトランジスタM5、M10及びnチャンネルMOSトランジスタM6、M7のゲート幅及びゲート長のサイズを選べば良い。

本実施の形態では、第1の入力端子1の第1の信号を比較器13の入力端子に入力したが、第2の入力端子2の第2の信号を比較器13の入力端子に入力しても良い。その理由は、本実施の形態の差動増幅器を演算増幅器に使用した場合には、第1の入力端子1の第1の信号の電圧と第2の入力端子2の第2の信号の電圧とは演算増幅器のイマジナリショートで等しくなるので、第1及び第2の信号の電圧の何れを使用しても比較検出できるからである。

更に、本実施の形態では、nチャンネルMOSトランジスタで構成された差動対4、5を用いて差動増幅器を構成したが、pチャンネルMOSトランジスタで構成された差動対を用いて構成しても良いのは勿論である。この構成の演算増幅器のブロック図を図3に、その具体的回路構成の差動増幅器を図4に示す。

(第2の実施の形態)

次に、第2の実施の形態の演算増幅器を説明する。

図5は本実施の形態の演算増幅器のブロック図を示す。同図の演算増幅器は、図1に示した演算増幅器の構成に対して、更に、第1及び第2の入力端子1、2の差動信号の電圧レベルをシフトするためにnチャンネルMOSトランジスタにより構成される第3及び第4のレベルシフト回路18、19を追加配置したものである。このレベルシフト回路18、19により電圧レベルシフトされた差動信号は第2の差動対4に入力されて、電流に変換される。

図6は、前記図5に示した差動増幅器の具体的回路図を示す。同図では、第3

のレベルシフト回路 18 は、2 個の n チャンネル MOS トランジスタ M14、M15 により構成され、第 4 のレベルシフト回路 19 は他の 2 個の n チャンネル MOS トランジスタ M16、M17 により構成される。

本実施の形態の演算増幅器では、入力端子 1 の第 1 の信号の電圧が基準電圧源 15 の電圧未満の際には、第 1 及び第 2 のレベルシフト回路 8、9 及び第 1 の差動対 5 を経て増幅される一方、第 1 の信号の電圧が基準電圧源 15 の電圧以上の際には、第 3 及び第 4 のレベルシフト回路 18、19 及び第 2 の差動対 4 を経て増幅される。従って、全入力動作電圧範囲で差動信号は何れか 1 対のレベルシフト回路 8、9 又は 18、19 を経るので、全入力動作電圧範囲での利得損失や周波数特性の劣化が均等になる。

本実施の形態の演算増幅器では、全入力動作電圧範囲で利得が等しく、且つ高速動作する点は前記第 1 の実施の形態と同様である。

また、本実施の形態でも、第 2 の入力端子 2 の第 2 の信号を比較器 13 の入力端子に入力しても良いのは勿論のこと、差動対 4、5 を p チャンネル MOS トランジスタで構成した回路構成を採用しても良い。差動対 4、5 を p チャンネル MOS トランジスタで構成したブロック構成を図 7 に、その具体的回路構成を図 8 に示す。

(第 3 の実施の形態)

続いて、本発明の第 3 の実施の形態の演算増幅器を説明する。

図 9 は本実施の形態の演算増幅器のブロック構成を示す。同図の演算増幅器では、図 1 に示した演算増幅器の構成に対して、更に第 1 及び第 2 の電圧リミット回路 20、21 を追加したものである。

前記第 1 及び第 2 の電圧リミット回路 20、21 は、基準電圧源 15 に接続されていて、第 1 及び第 2 のレベルシフト回路 8、9 により電圧レベルシフトされ

た差動信号の電圧を前記基準電圧源 15 の電圧未満に制限し、この電圧制限した差動信号を第 1 の差動対 5 に出力する。

図 10 は本実施の形態の差動増幅器の具体的回路構成を示す。同図では、第 1 のレベルシフト回路 8、スイッチ回路 12、比較器 13、第 3 の電流源 11 及び第 1 の電圧リミット回路 20 が、3 個の p チャンネル MOS トランジスタ M9、M10、M19 により構成されている。また、第 2 のレベルシフト回路 9 及び第 2 の電圧リミット回路 21 が、3 個の p チャンネル MOS トランジスタ M4、M5、M18 により構成されている。即ち、図 10 の差動増幅器では、p チャンネル MOS トランジスタ M9 が図 2 に示した p チャンネル MOS トランジスタ M11 (第 3 の電流源 11) を兼用し、p チャンネル MOS トランジスタ M10、M19 が図 2 に示した p チャンネル MOS トランジスタ M12、M13 (スイッチ回路 12 及び比較器 13) を兼用している。尚、本実施の形態では、既述の通り、2 個の p チャンネル MOS トランジスタ M10、M19 にスイッチ回路 12 及び比較器 13 の機能を持たせたが、これに代えて、2 個の p チャンネル MOS トランジスタ M5、M18 にスイッチ回路 12 及び比較器 13 の機能を持たせても良いのは勿論である。

従って、本実施の形態では、特に、入力端子 1 の第 1 の信号の電圧が基準電圧源 15 の電圧を超えている際には、比較器 13 及びスイッチ回路 12 により第 1 の電流源 7 側が選択されて、第 1 の電流源 7 の電流が第 3 の電流源 11 の電流により相殺されて、第 1 の差動対 5 には電流が流れないので、入力された差動信号は第 1 の差動対 4 により電流に変換されると共に、第 1 及び第 2 のレベルシフト回路 8、9 でレベルシフトされる差動信号の電圧が第 1 及び第 2 の電圧リミット回路 20、21 を構成する p チャンネル MOS トランジスタ M18、M19 により基準電圧源 15 の電圧に制限される。従って、このような第 1 の信号の電圧が

基準電圧源 15 の電圧を超えている際での第 1 の差動対 5 の動作が確実に禁止される。

尚、本実施の形態でも、第 2 の入力端子 2 の第 2 の信号を比較器 13 の入力端子に入力しても良いのは勿論のこと、差動対 4、5 を p チャンネル MOS トランジスタで構成した回路構成を採用しても良い。この差動対 4、5 を p チャンネル MOS トランジスタで構成したブロック構成を図 11 に、その具体的回路構成を図 12 に示す。

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態の演算増幅器を説明する。

図 13 は本実施の形態の演算増幅器を示す。前記第 3 の実施の形態では、第 1 及び第 2 の電圧リミット回路 20、21 を図 1 に示した第 1 の実施の形態の演算増幅器の回路構成に付加したが、本実施の形態では、この第 1 及び第 2 の電圧リミット回路 20、21 を図 5 に示した第 2 の実施の形態の演算増幅器の回路構成に付加したものである。その他の構成は、図 5 と同一である。図 14 は図 13 の演算増幅器の具体的回路構成を示す。

従って、本実施の形態では、全入力動作電圧範囲において利得が等しく且つ比較器 13 及びスイッチ回路 12 により高速な切り換え動作を可能にして高速に動作する差動増幅器を得ることができると共に、2 対のレベルシフト回路 8、9 及び 18、19 を備えて全入力動作電圧範囲での利得損失や周波数特性の劣化を均等にでき、更には、第 1 の信号の電圧が基準電圧源 15 の電圧を超えている際での第 1 の差動対 5 の動作を禁止して、切換動作を確実にできる。

尚、本実施の形態のように差動対 4、5 を n チャンネル MOS トランジスタで構成するのに代えて、p チャンネル MOS トランジスタで構成したブロック構成を図 15 に、その具体的回路構成を図 16 に示す。

(第5の実施の形態)

更に、本発明の第5の実施の形態の演算増幅器を説明する。

図17は本実施の形態の演算増幅器のブロック構成を示す。同図の演算増幅器では、図9に示した第3の実施の形態の演算増幅器の構成に対して、更に、第4の電流源22と、第2のスイッチ回路23と、第2の比較器24とを備えたものである。前記第2のスイッチ回路23は、第1のスイッチ回路11と同様に、第4の電流源22の電流を第1の電流源7と第2の電流源6とに振り分ける。また、前記第2の比較器24は、前記第2のスイッチ回路23を切換動作させ、その一端子には、入力端子14を経て基準電圧源15が接続される一方、+端子には、第1の比較器13の+端子に第1の入力端子1の第1の信号が入力されるのとは異なって、第2の入力端子2に入力される第2の信号が入力される。

図18は本実施の形態の差動増幅器の具体的回路構成を示す。同図では、3個のpチャンネルMOSトランジスタM4、M5、M18により、第2のレベルシフト回路9、第2の電圧リミット回路21、第4の電流源22、第2のスイッチ回路23及び第2の比較器24が構成されている。

従って、本実施の形態では、特に、第1及び第2の入力端子1、2の第1及び第2の信号の電圧が接地電位VSS近傍のときには、第1及び第2の比較器13、24及び第1及び第2のスイッチ回路12、23により、第3及び第4の電流源11、22の電流が第2の電流源6に流れ込んで、第2の電流源6の電流が第3及び第4の電流源11、22の電流により相殺され、第2の差動対4には電流が流れないので、入力された差動信号は第1の差動対5のみで電流に変換される。一方、第1及び第2の入力端子1、2の第1及び第2の信号の電圧が基準電圧源15の電圧を越えると、第1及び第2の比較器13、24及びスイッチ回路12、

23により、第3及び第4の電流源11、22の電流が第1の電流源7に流れ込んで第1の電流源7の電流が相殺され、第1の差動対5には電流が流れず、入力された差動信号は第2の差動対4のみで電流に変換される。他の動作及び効果は図1及び図9の演算増幅器と同様であるので、その説明を省略する。

尚、本実施の形態のように差動対4、5をnチャンネルMOSトランジスタで構成するのに代えて、pチャンネルMOSトランジスタで構成したブロック構成を図19に、その具体的回路構成を図20に示す。

(第6の実施の形態)

次に、本発明の第6の実施の形態の演算増幅器を説明する。

図21は本実施の形態の差動増幅器のブロック構成を示す。本実施の形態の演算増幅器は、図13に示した第4の実施の形態の演算増幅器に対して、更に、前記図17に示した第5の実施の形態と同様に、第4の電流源22と、第2のスイッチ回路23と、第2の比較器24とを追加したものである。その他の構成は図13の演算増幅器と同一である。図22は図21の演算増幅器の具体的回路構成を示す。

従って、本実施の形態では、第4の実施の形態と第5の実施の形態とを合わせた作用及び効果が得られる。

尚、本実施の形態のように差動対4、5をnチャンネルMOSトランジスタで構成するのに代えて、pチャンネルMOSトランジスタで構成したブロック構成を図23に、その具体的回路構成を図24に示す。

(第7の実施の形態)

更に、本発明の第7の実施の形態の演算増幅器を図25に示す。本実施の形態の演算増幅器は、図13に示した第4の実施の形態の演算増幅器において、第3

の電流源 1 1、スイッチ回路 1 2 及び比較器 1 3 を削除し、これに代えて第 3 及び第 4 の電圧リミット回路 2 5、2 6 を追加したものである。即ち、本実施の形態では、第 3 の電流源 1 1 の電流を第 1 又は第 2 の電流源 7、6 に流して電流を相殺する構成を採用せず、2 対の電圧リミット回路 2 0、2 1 及び 2 5、2 6 により、第 1 の差動対 5 と第 2 の差動対 4 の電流変換作用を切り換えるようにしたものである。

前記第 3 及び第 4 の電圧リミット回路 2 5、2 6 は、第 3 及び第 4 のレベルシフト回路 1 8、1 9 で電圧レベルシフトされた差動信号の電圧を基準電圧源 1 5 の電圧以上に制限し、この電圧制限した差動信号を第 1 の差動対 4 に出力して電流に変換させる。

図 2 6 は、図 2 5 に示した演算増幅器のうち差動増幅器の具体的回路構成を示す。同図では、3 個の p チャンネル MOS トランジスタ M 9、M 1 0、M 1 9 により第 1 のレベルシフト回路 8 及び第 1 の電圧リミット回路 2 0 を構成し、3 個の p チャンネル MOS トランジスタ M 4、M 5、M 1 8 により第 2 のレベルシフト回路 9 及び第 2 の電圧リミット回路 2 1 を構成する。また、3 個の n チャンネル MOS トランジスタ M 1 4、M 1 5、M 2 0 により第 3 のレベルシフト回路 1 8 及び第 3 の電圧リミット回路 2 5 を構成し、3 個の n チャンネル MOS トランジスタ M 1 6、M 1 7、M 2 1 により第 4 のレベルシフト回路 1 9 及び第 3 の電圧リミット回路 2 6 を構成する。

以上のように構成された本実施の形態の差動増幅器の動作を、以下、図 2 5 及び図 2 6 を用いて説明する。

図 2 5 において、第 1 及び第 2 の入力端子 1、2 の差動信号を構成する第 1 及び第 2 の信号の各電圧が基準電圧源 1 5 の電圧よりも低い際には、入力された差動信号は第 1 及び第 2 のレベルシフト回路 8、9 を通り、更に第 1 及び第 2 の電

圧リミット回路20、21を通して、第1の差動対5で電流に変換された後、電流合成及び増幅回路10を通して、出力端子3から増幅、出力される。一方、前記差動信号は第3及び第4のレベルシフト回路18、19を通るが、第3及び第4の電圧リミット回路25、26により遮断されて、第2の差動対4には至らない。従って、差動信号の電圧が基準電圧源15の電圧よりも低い際には、差動増幅器の変換率 g_m は、第1の差動対5を構成するnチャンネルMOSトランジスタのコンダクタンスを g_{mn} として、

$$g_m = g_{mn}$$

で表現される。

次に、第1及び第2の入力端子1、2の第1及び第2の信号の各電圧が基準電圧源15の電圧以上の際には、前記とは逆に、第3及び第4のレベルシフト回路18、19を通り、第3及び第4の電圧リミット回路25、26を通して、第2の差動対4で電流に変換された後、電流合成及び増幅回路10を通して増幅され、出力端子3から出力される。他方、前記差動信号は第1及び第2のレベルシフト回路8、9を通るが、第1及び第2の電圧リミット回路20、21で遮断されて、第1の差動対5には至らない。従って、差動信号の電圧が基準電圧源15の電圧以上高い際には、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

で表現される。従って、全入力動作電圧範囲で利得が等しくなる。

続いて、図26を用いて動作を更に詳細に説明する。第1及び第2の入力端子1、2の差動信号の電圧が基準電圧源15の電圧未満の際には、入力された差動信号はpチャンネルMOSトランジスタM5、M10を通り、nチャンネルMOSトランジスタM6、M7を通して、出力端子16、17から差動増幅器の電流出力として出力される。他方、nチャンネルMOSトランジスタM14、M16は遮断されて、差動信号は第2の差動対4を構成するnチャンネルMOSトラン

ジスタM1、M2には通らない。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

で表現される。

一方、第1及び第2の入力端子1、2の差動信号の電圧が基準電圧源15の電圧以上高い際には、入力された差動信号は、nチャンネルMOSトランジスタM14、M16を通り、更に第2の差動対4を構成するnチャンネルMOSトランジスタM1、M2を通り、出力端子16、17から差動増幅器の電流出力として出力される。他方、pチャンネルMOSトランジスタM5、M10は遮断されて、第1の差動対5を構成するnチャンネルMOSトランジスタM6、M7に差動信号は通らない。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となる。従って、全入力動作電圧範囲で利得が等しくなる。

しかも、2対の電圧リミット回路20、21及び25、26は、図26から判るように、pチャンネルMOSトランジスタM10、M19、M5、M18及びnチャンネルMOSトランジスタM14、M20、M16、M21により構成されるが、カレントミラー回路を構成しないので、高速な切り換え動作が可能であり、演算増幅器が高速に動作する。

また、差動信号は、その電圧が基準電圧源15の電圧未満の場合には第1及び第2のレベルシフト回路8、9を通り、基準電圧源15の電圧以上の場合には第3及び第4のレベルシフト回路18、19を通るので、全入力動作電圧範囲で利得損失や周波数特性の劣化が均一になる。

尚、図26の差動増幅器では、動作条件として、pチャンネルMOSトランジスタM4、M9が飽和領域で動作し、且つnチャンネルMOSトランジスタM1、M2が動作するときにはnチャンネルMOSトランジスタM3が飽和領域で動作

し、一方、nチャンネルMOSトランジスタM6、M7が動作するときにはnチャンネルMOSトランジスタM8が飽和領域で動作するように基準電圧源15の電圧を選定すれば良い。また、pチャンネルMOSトランジスタM5、M10によるレベルシフト電圧量は、nチャンネルMOSトランジスタM8が飽和動作で動作するように、pチャンネルMOSトランジスタM5、M10、nチャンネルMOSトランジスタM6、M7のゲート幅及びゲート長を選べば良い。更に、nチャンネルMOSトランジスタM14、M16によるレベルシフト電圧量は、nチャンネルMOSトランジスタM3が飽和動作で動作するように、nチャンネルMOSトランジスタM14、M16、nチャンネルMOSトランジスタM1、M2のゲート幅及びゲート長を選べば良い。

本実施の形態のように差動対4、5をnチャンネルMOSトランジスタで構成するのに代えて、pチャンネルMOSトランジスタで構成したブロック構成を図27に、その具体的回路構成を図28に示す。

産業上の利用の可能性

以上説明したように、本発明によれば、全入力動作電圧範囲において利得が等しく、且つ、高速に動作することができる差動増幅器及び演算増幅器を実現できるので、差動増幅器や演算増幅器に適用すれば好適である。

請求の範囲

1. 第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する第1の差動対及び第1の電流源と、

前記第1及び第2の入力端子に入力された差動信号を電流に変換する第2の差動対及び第2の電流源と、

第3の電流源及び基準電圧源と、

前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、

前記比較器の比較結果に応じて、前記第3の電流源の電流を前記第1の電流源又は第2の電流源に振り分けるスイッチ回路と、

前記第1の差動対の出力と前記第2の差動対の出力とを共通にした第1及び第2の出力端子とを備えた

ことを特徴とする差動増幅器。

2. 請求項1記載の差動増幅器において、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路を備え、

前記第2の差動対及び第2の電流源は、前記第1及び第2の入力端子に入力された差動信号に代えて、前記第3及び第4のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する

ことを特徴とする差動増幅器。

3. 第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、

基準電圧源と、

前記第1及び第2のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第1及び第2の電圧リミット回路と、

前記第1及び第2の電圧リミット回路により電圧制限された差動信号を電流に変換する第1の差動対及び第1の電流源と、

前記第1及び第2の入力端子に入力された差動信号を電流に変換する第2の差動対及び第2の電流源と、

第3の電流源と、

前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、

前記比較器の比較結果に応じて、前記第3の電流源の電流を前記第1の電流源又は第2の電流源に振り分けるスイッチ回路と、

前記第1の差動対の出力と前記第2の差動対の出力とを共通にした第1及び第2の出力端子とを備えた

ことを特徴とする差動増幅器。

4. 請求項3記載の差動増幅器において、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路を備え、

前記第2の差動対及び第2の電流源は、前記第1及び第2の入力端子に入力された差動信号に代えて、前記第3及び第4のレベルシフト回路によりレベルシフ

トされた差動信号を電流に変換すること
ことを特徴とする差動増幅器。

5. 請求項3記載の差動増幅器において、

第4の電流源と、

前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する第2の比較器と、

前記第2の比較器の比較結果に応じて、前記第4の電流源の電流を前記第1の電流源又は第2の電流源に振り分ける第2のスイッチ回路とを備えた

ことを特徴とする差動増幅器。

6. 請求項4記載の差動増幅器において、

第4の電流源と、

前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する第2の比較器と、

前記第2の比較器の比較結果に応じて、前記第4の電流源の電流を前記第1の電流源又は第2の電流源に振り分ける第2のスイッチ回路とを備えた

ことを特徴とする差動増幅器。

7. 第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、

基準電圧源と、

前記第1及び第2のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第1及び第2の電圧リミット回路と、

前記第 1 及び第 2 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、

前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路と、

前記第 3 及び第 4 のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第 3 及び第 4 の電圧リミット回路と、

前記第 3 及び第 4 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 2 の差動対及び第 2 の電流源と、

前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子と

を備えたことを特徴とする差動増幅器。

8. 請求項 1、2、3、4、5、6 又は 7 記載の差動増幅器において、

前記比較器及びスイッチ回路は、

ゲートに前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号を受ける第 1 のトランジスタと、

ゲートに前記基準電圧源が接続された第 2 のトランジスタとを備え、

前記第 1 及び第 2 のトランジスタは、その各一端が前記第 3 の電流源に共通に接続され、他端が各々前記第 1 及び第 2 の電流源に接続される

ことを特徴とする差動増幅器。

9. 前記請求項 1、2、3、4、5、6 又は 7 記載の差動増幅器と、

前記差動増幅器の電流出力を合成し、増幅する電流合成及び増幅回路とを備えたことを特徴とする演算増幅器。

FIG. 1

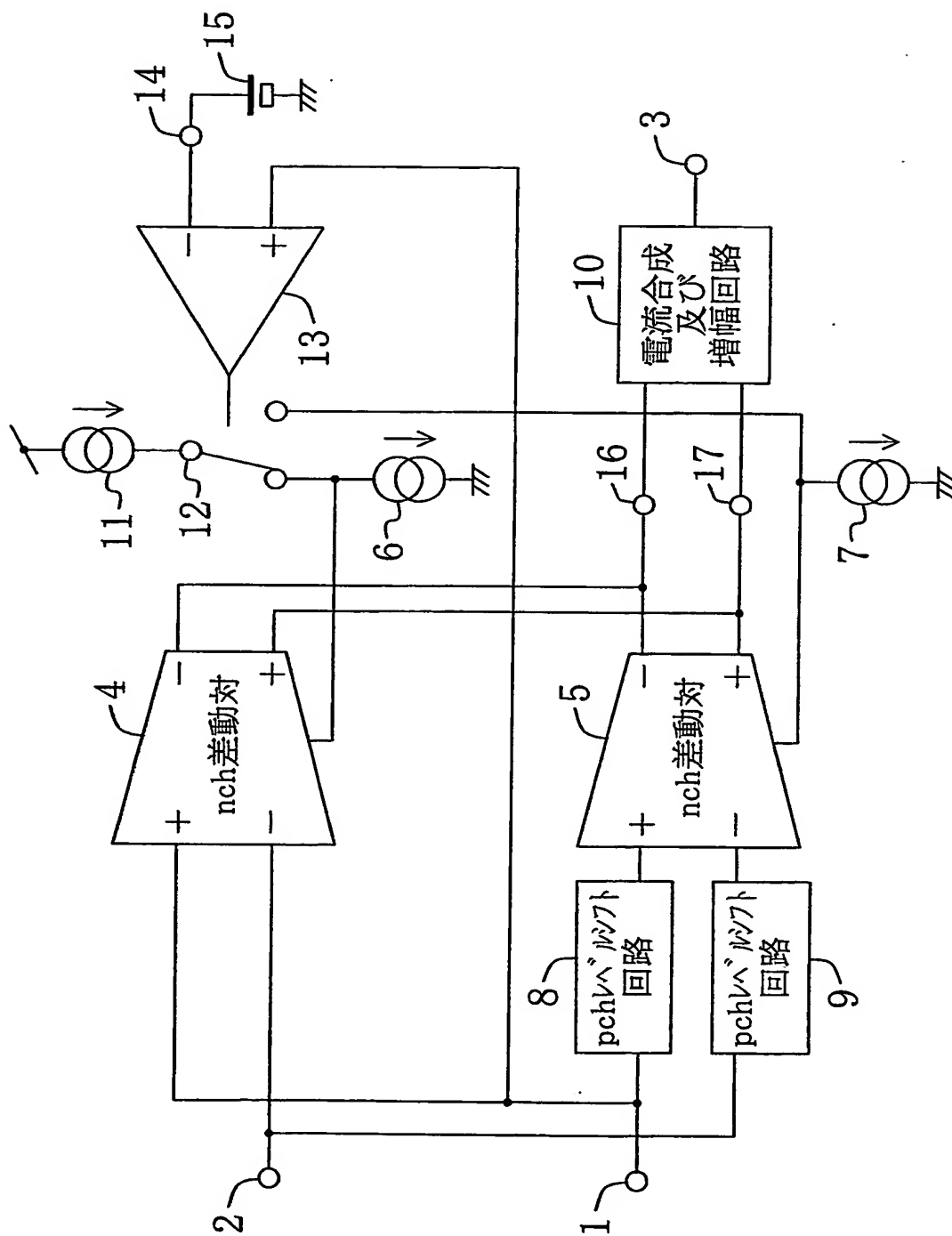


FIG. 2

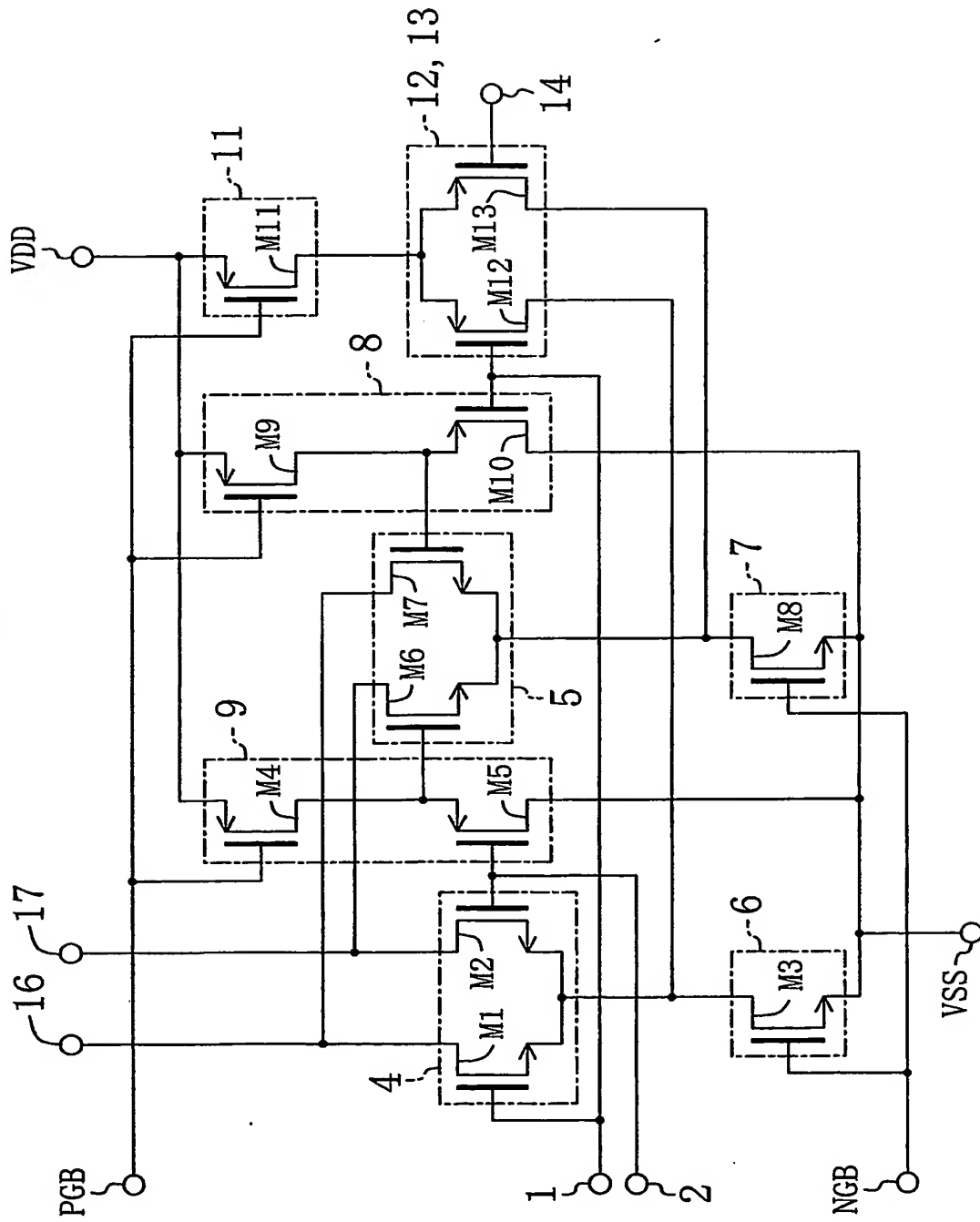
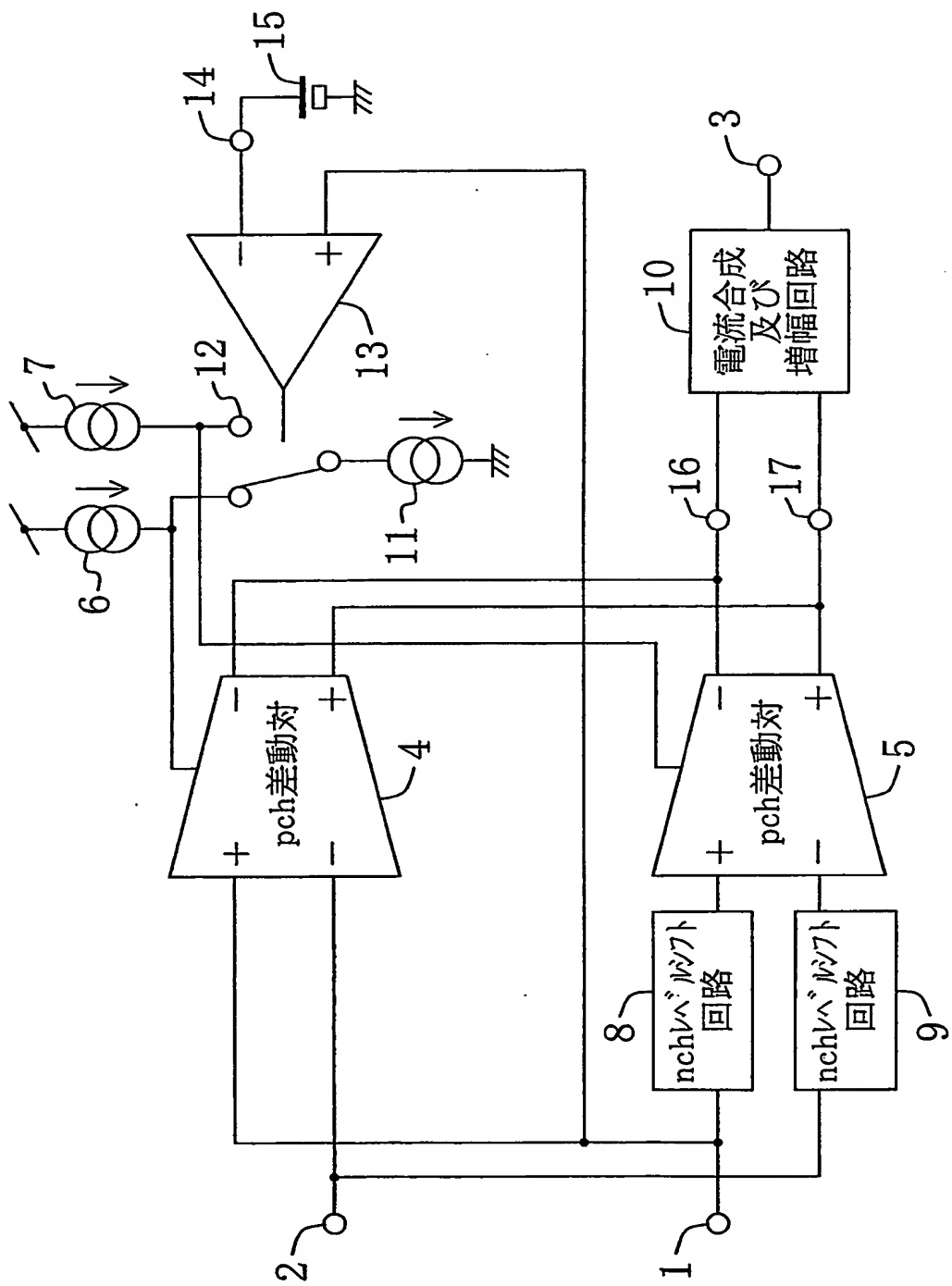


FIG. 3



4/35

FIG. 4

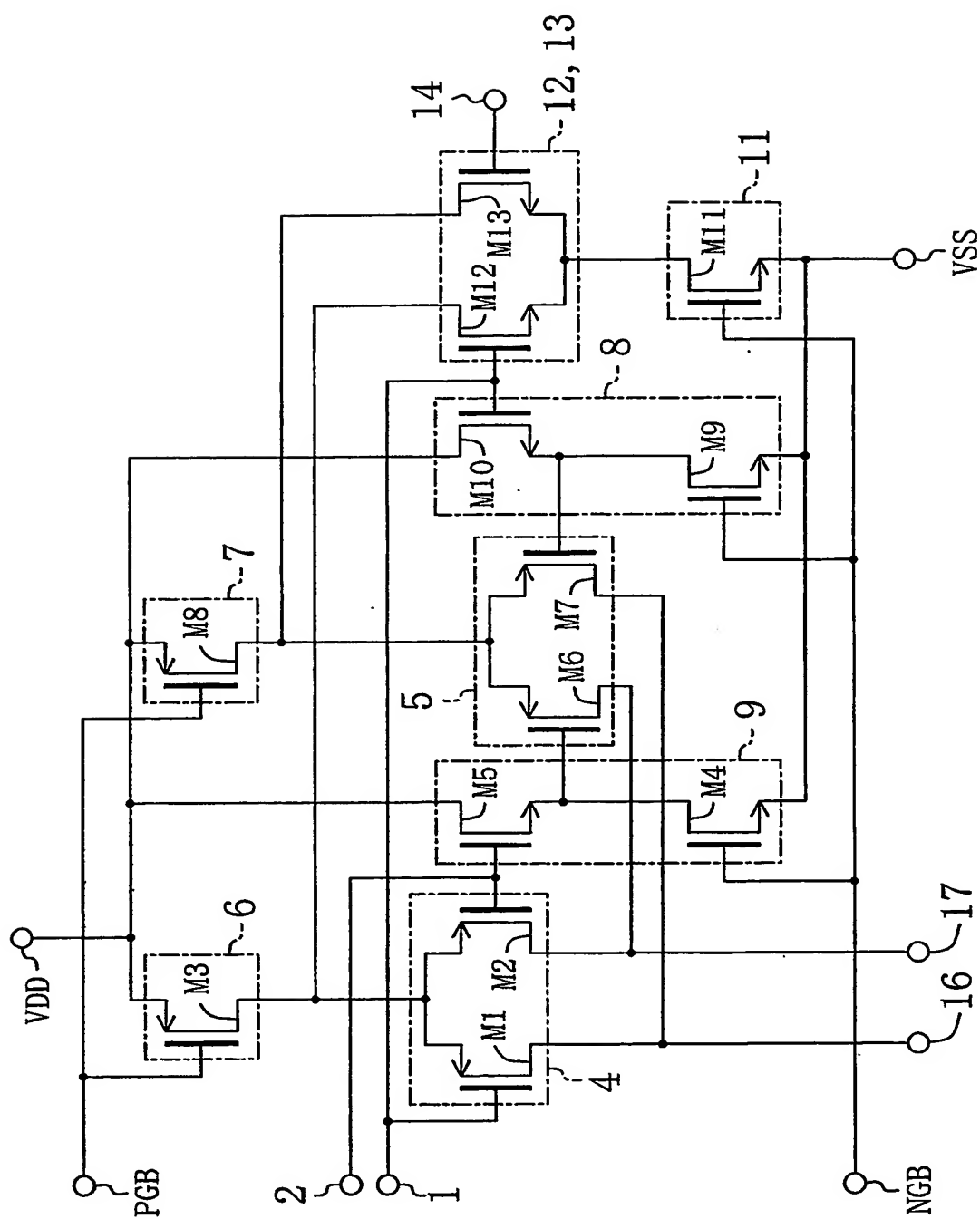
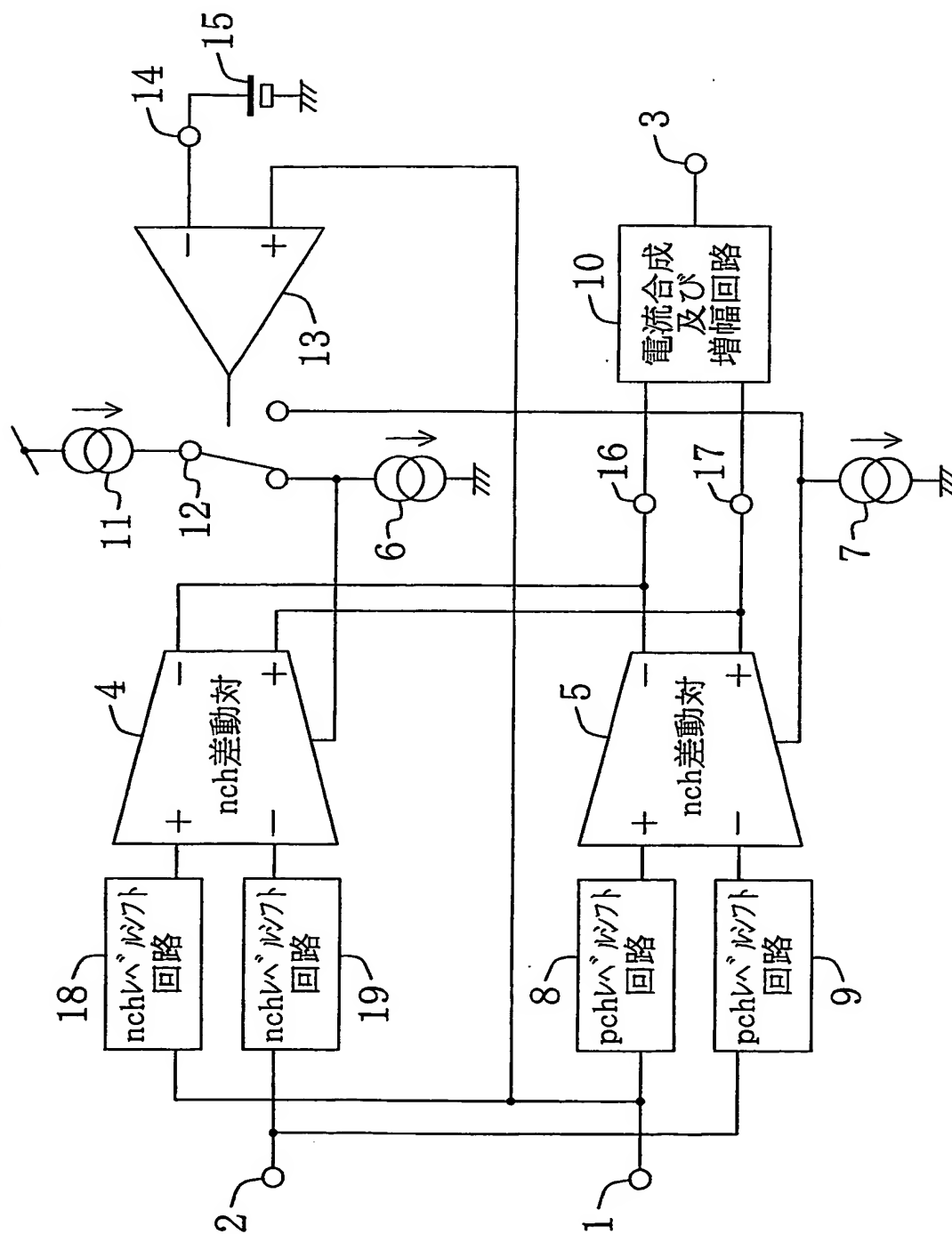
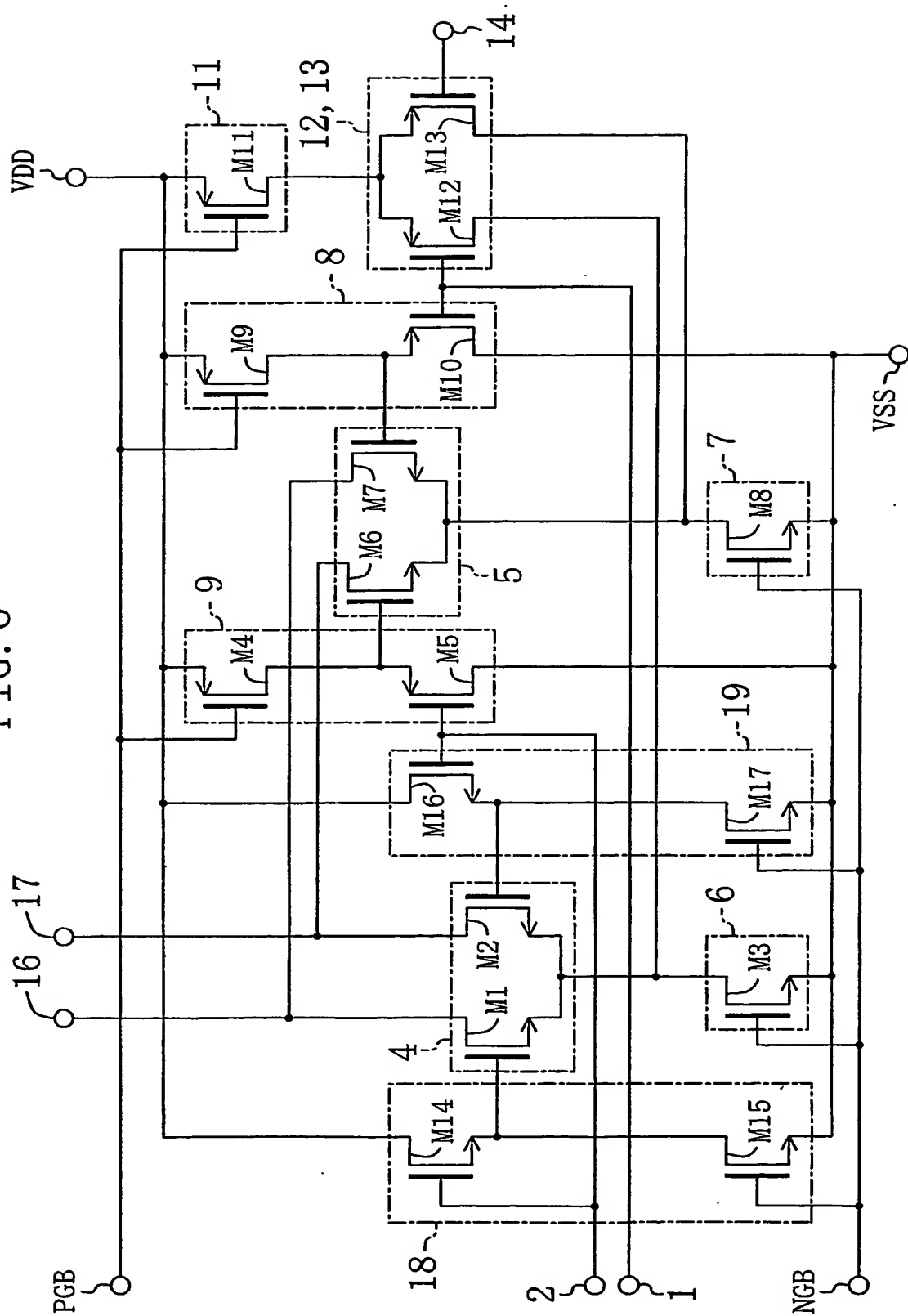


FIG. 5



6/35

FIG. 6



7/35

FIG. 7

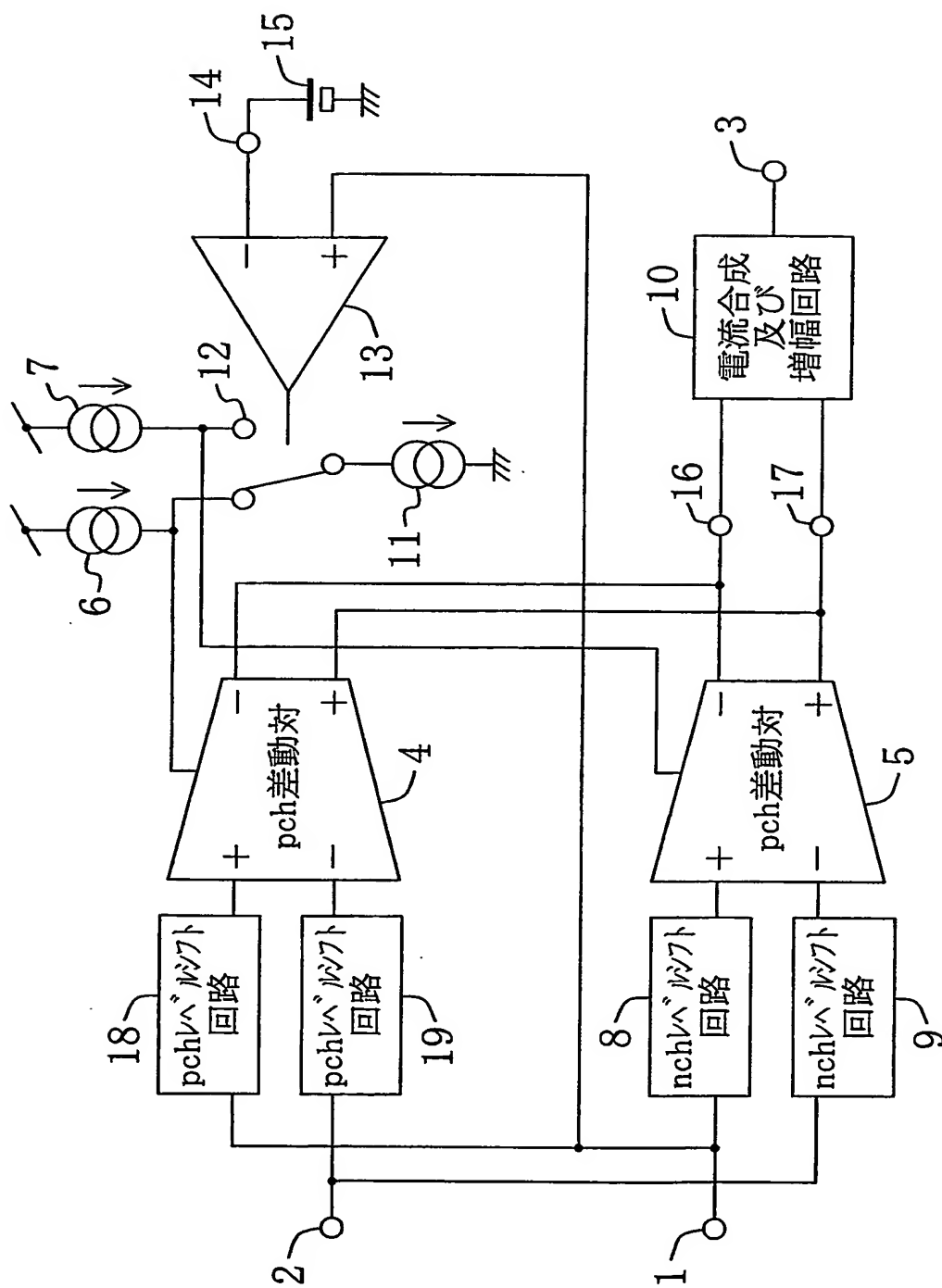


FIG. 8

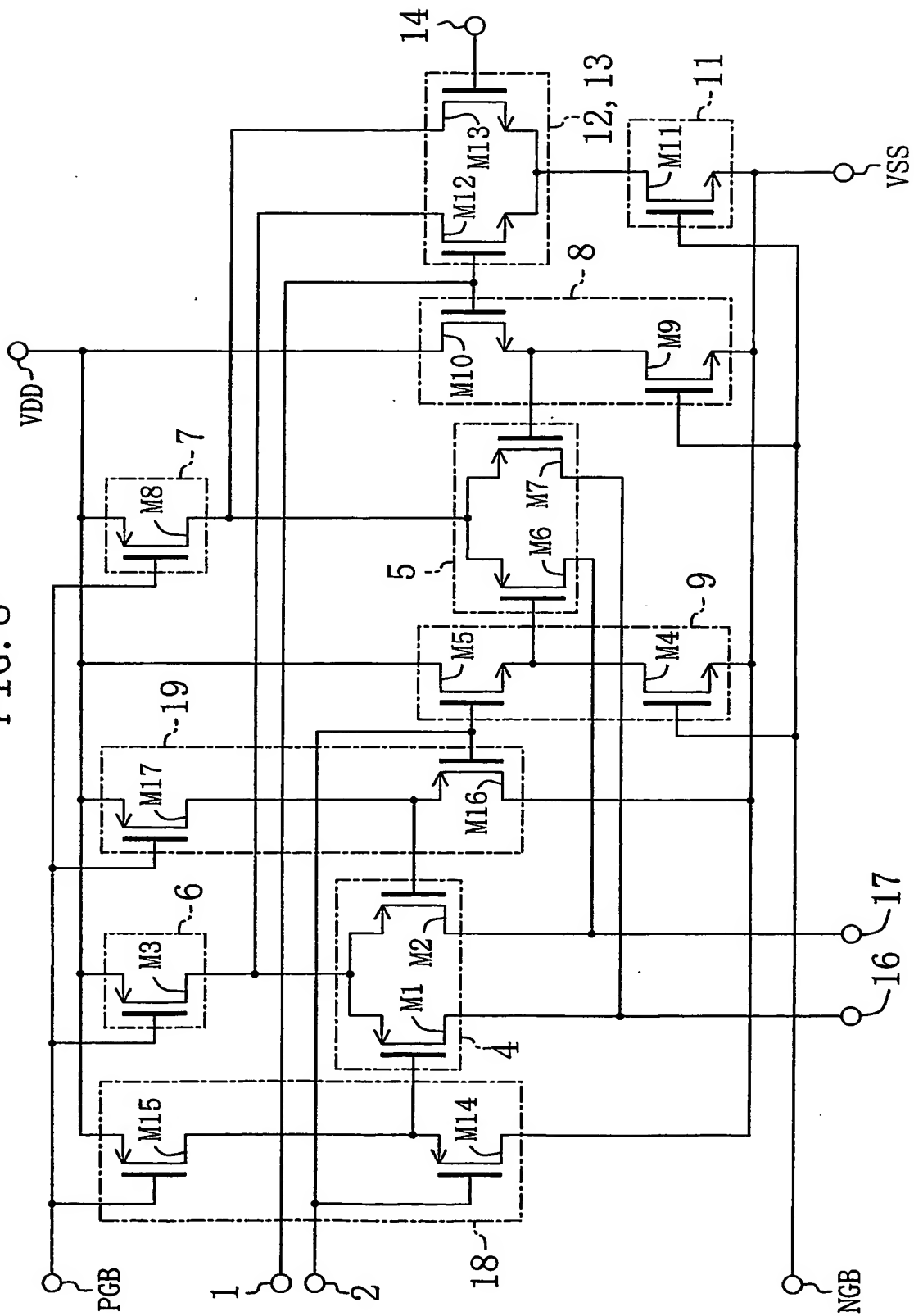
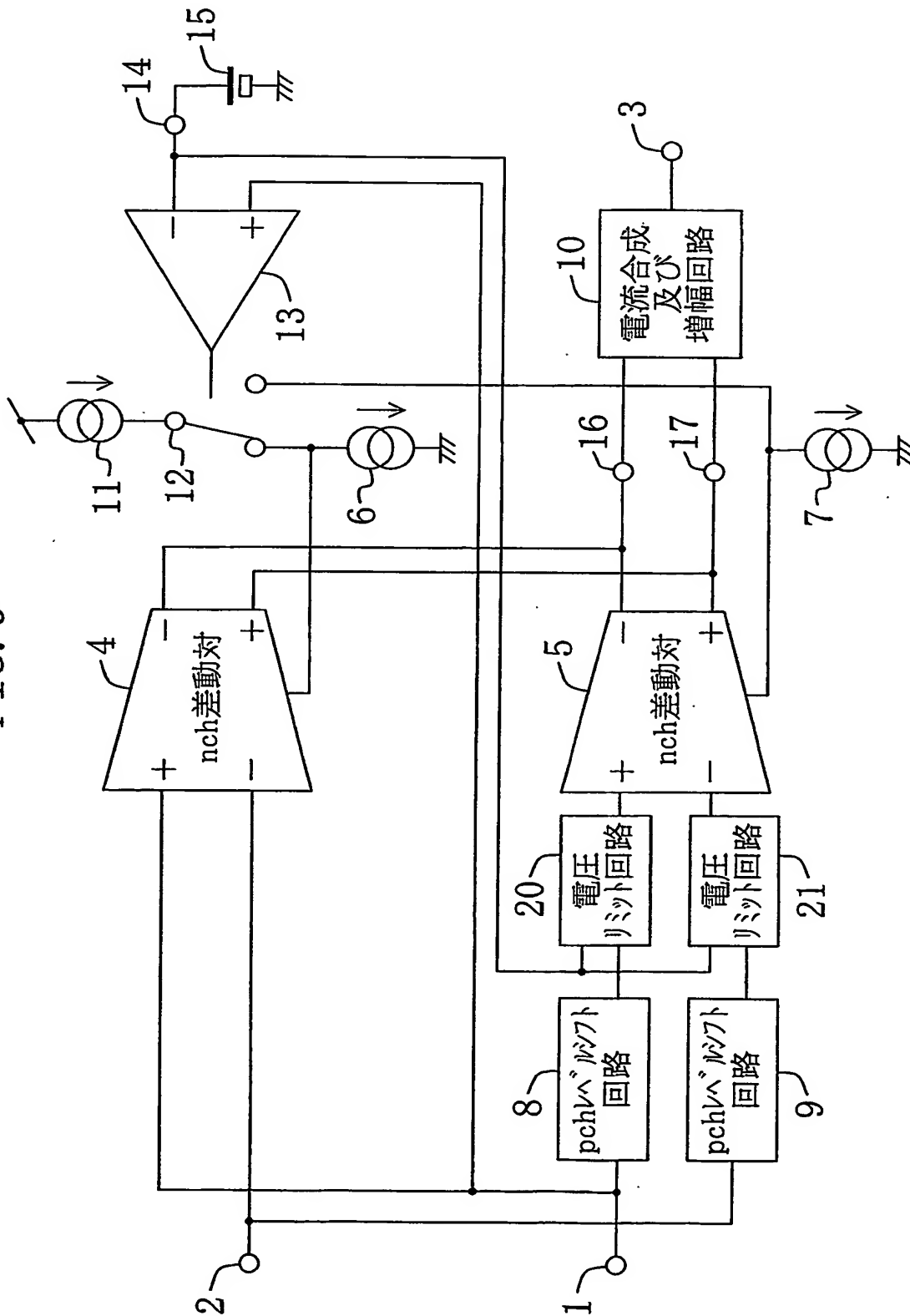
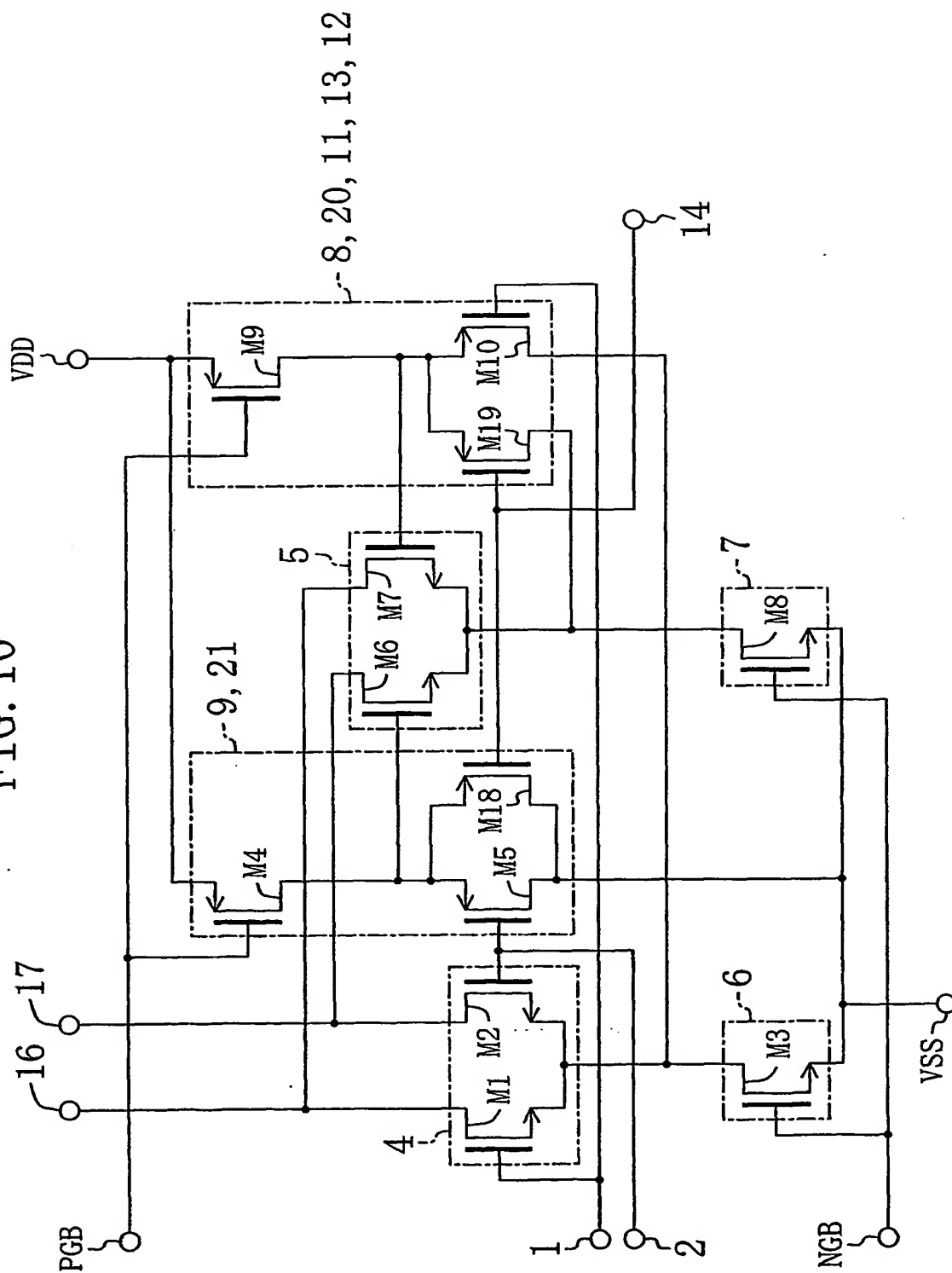


FIG. 9



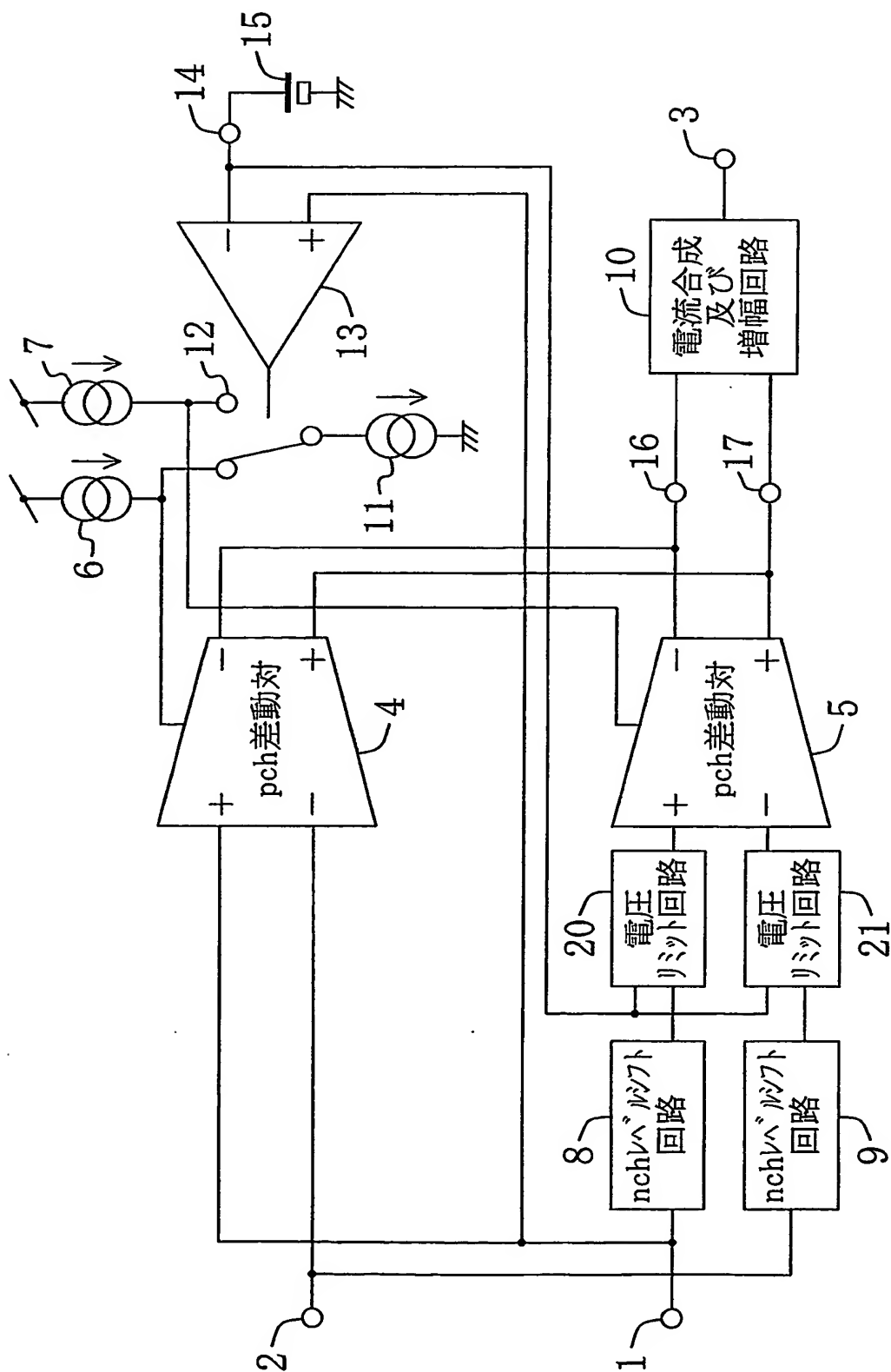
10/35

FIG. 10



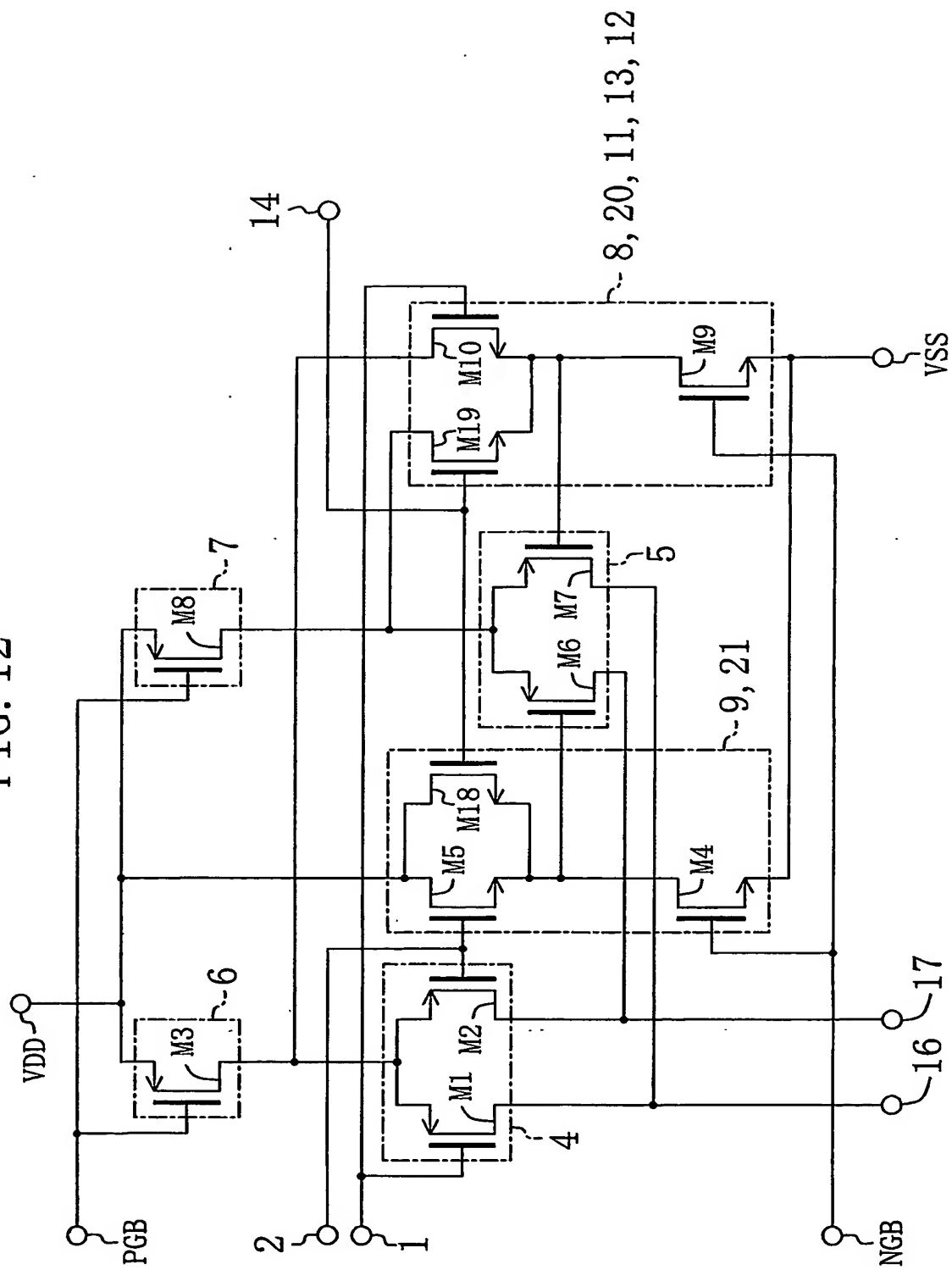
11/35

FIG. 11



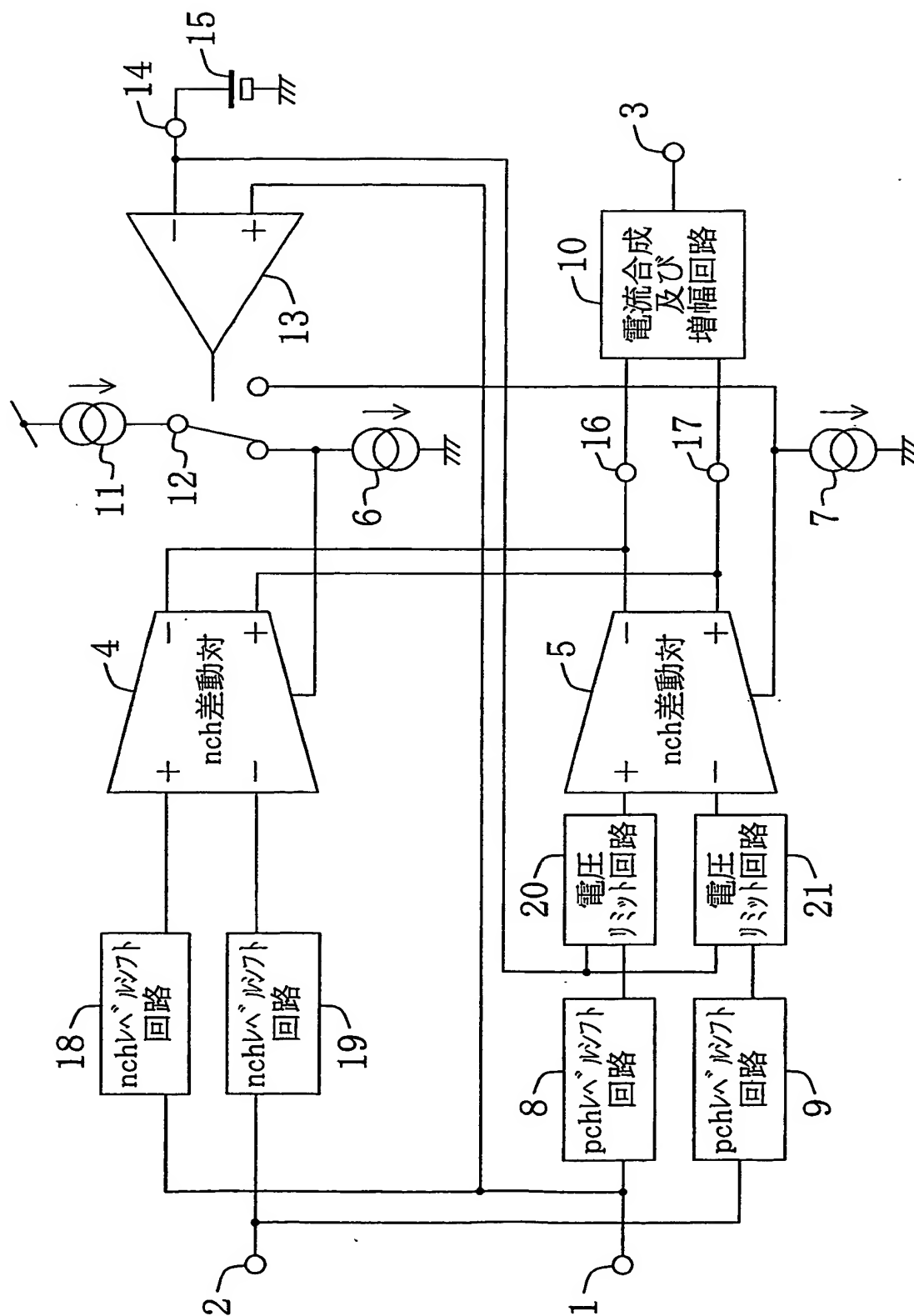
12/35

FIG. 12



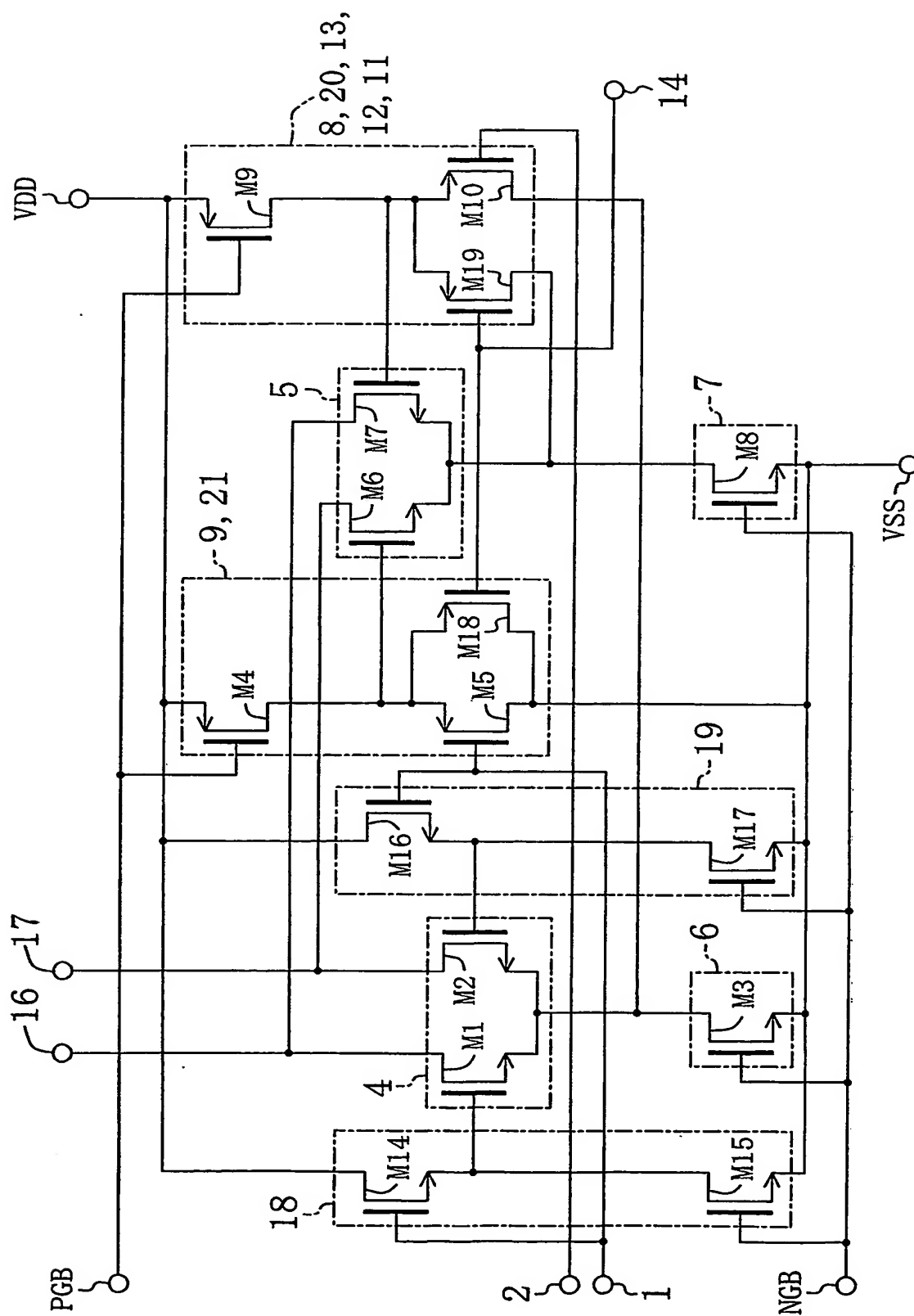
13/35

FIG. 13



14/35

FIG. 14



16/35

FIG. 16

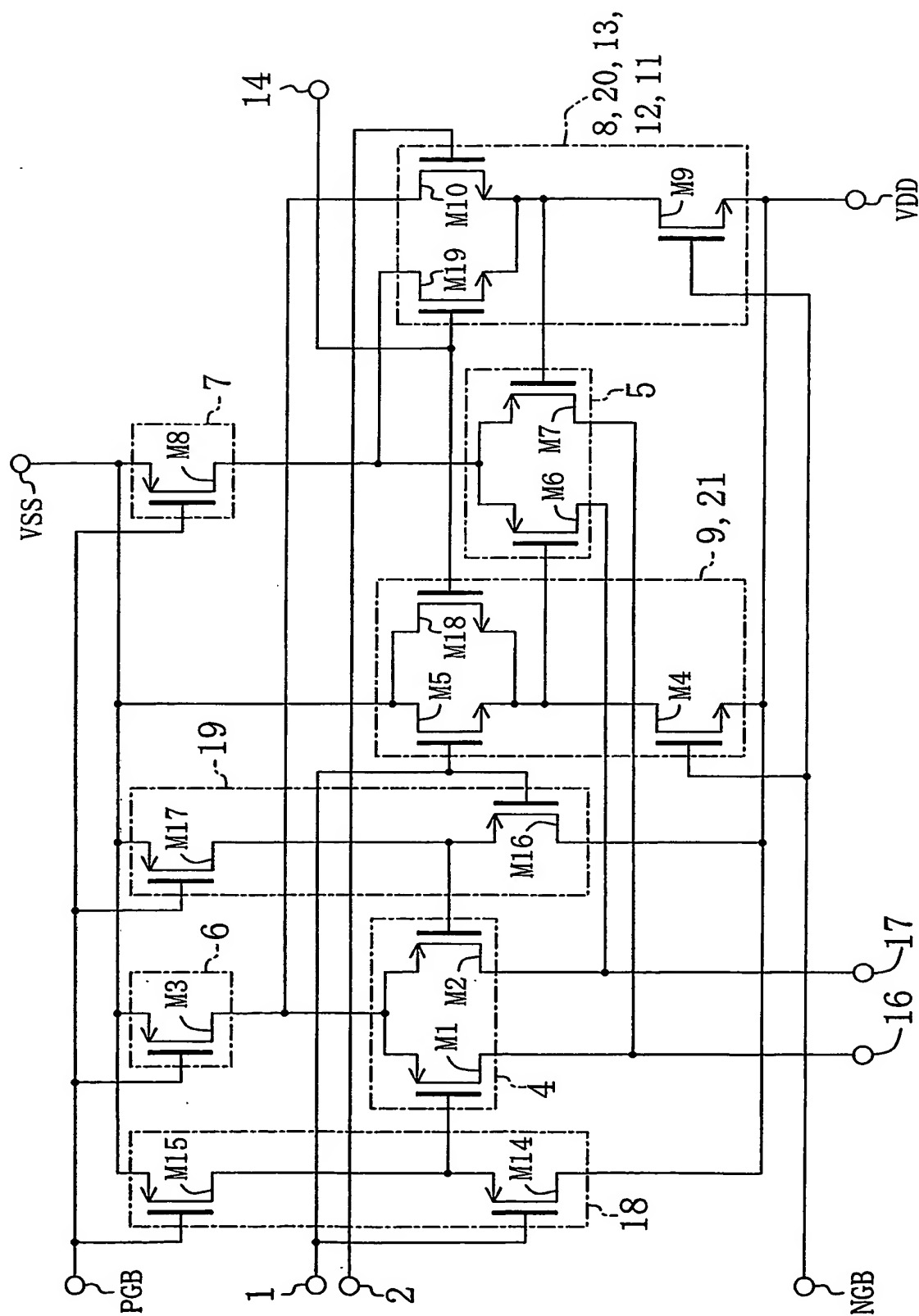
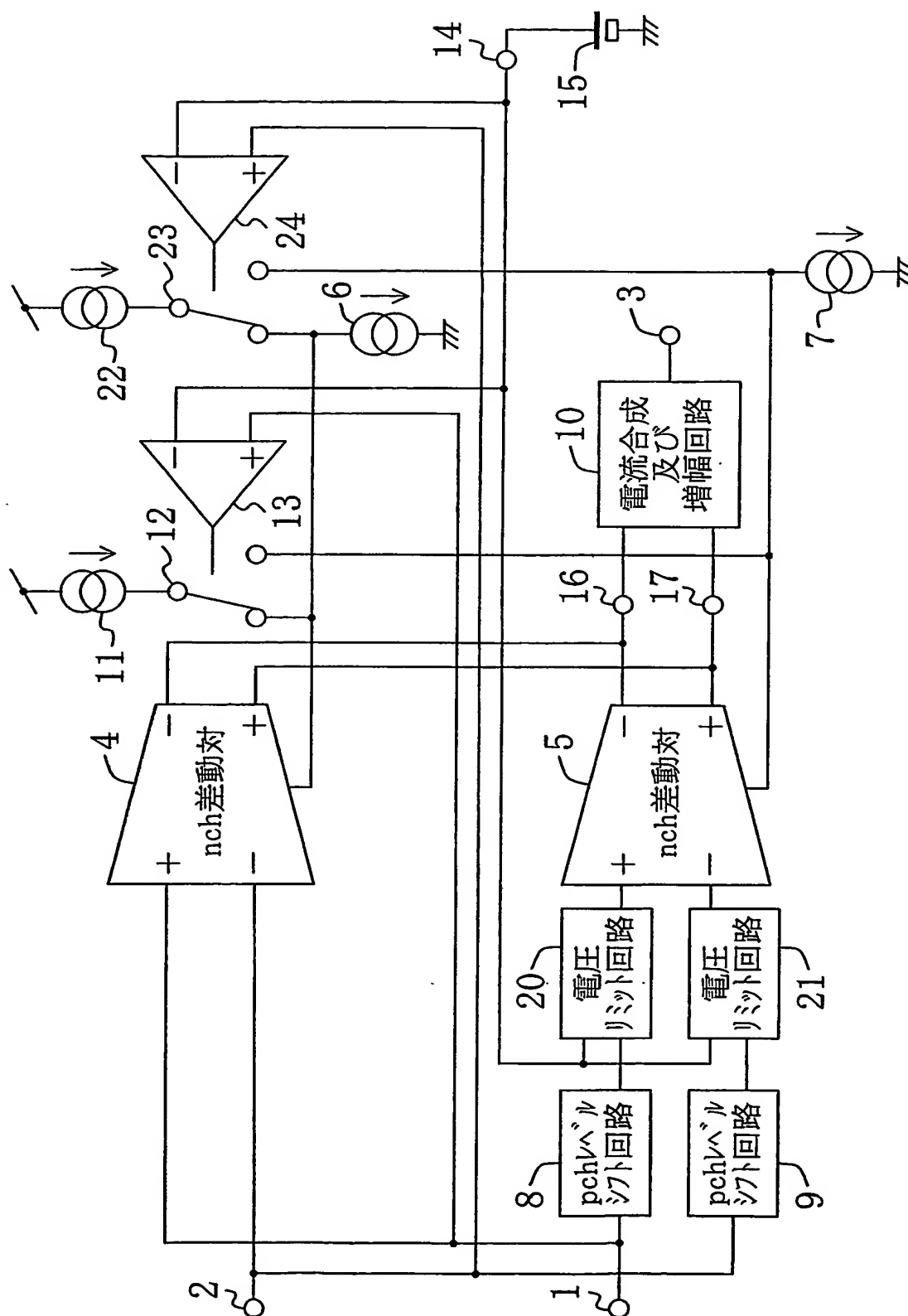


FIG. 17



18/35

FIG. 18

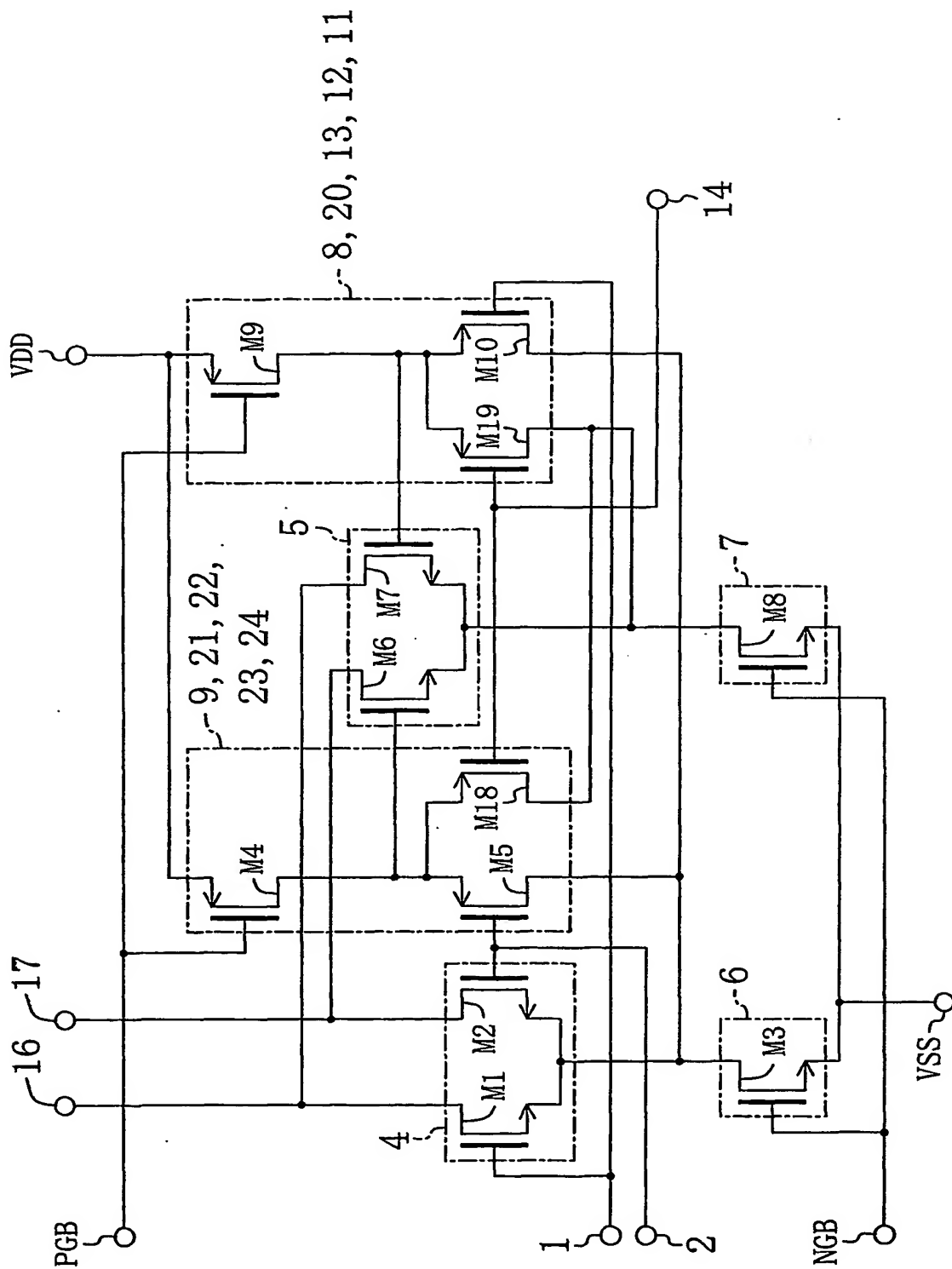
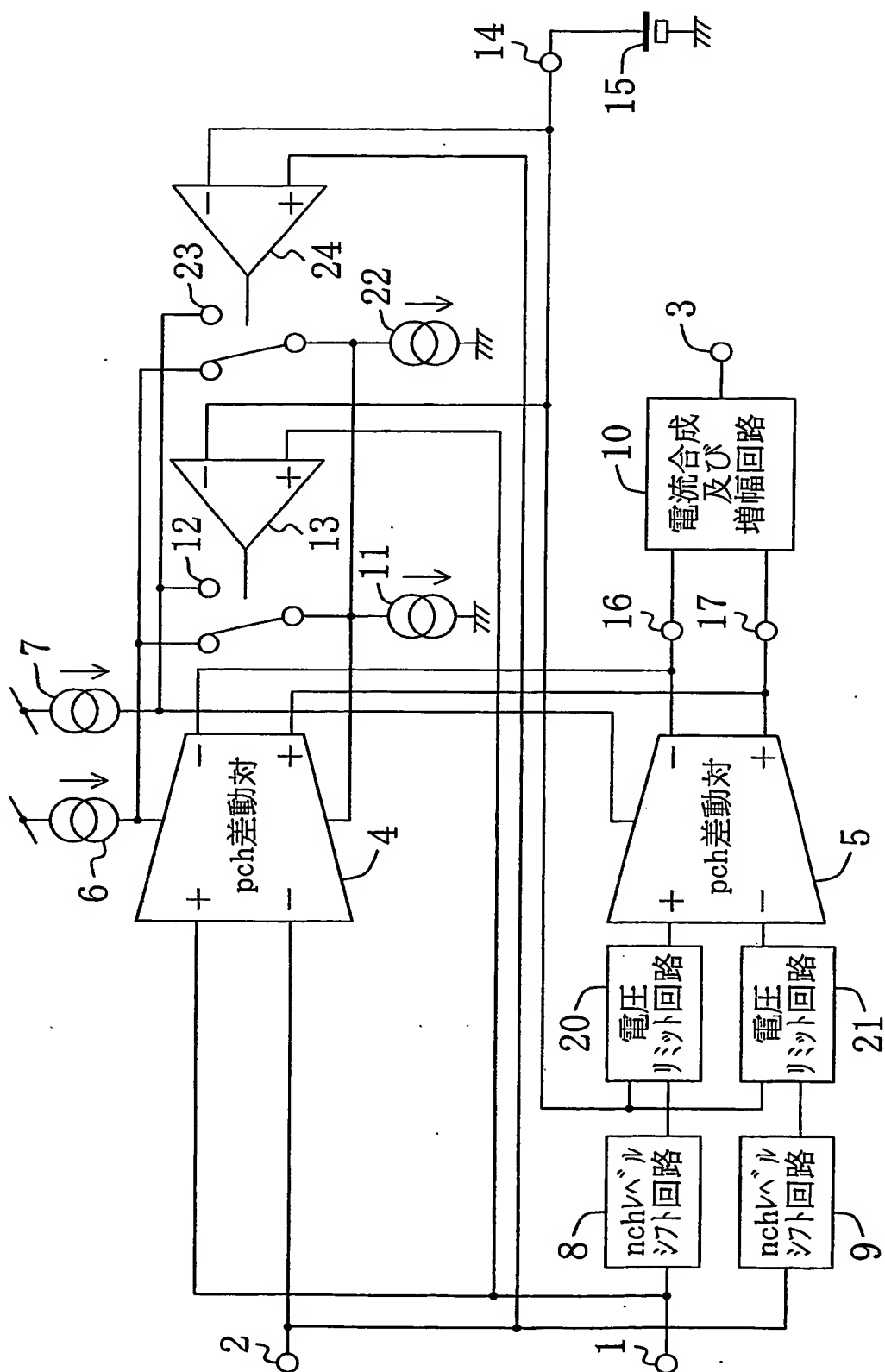


FIG. 19



20/35

FIG. 20

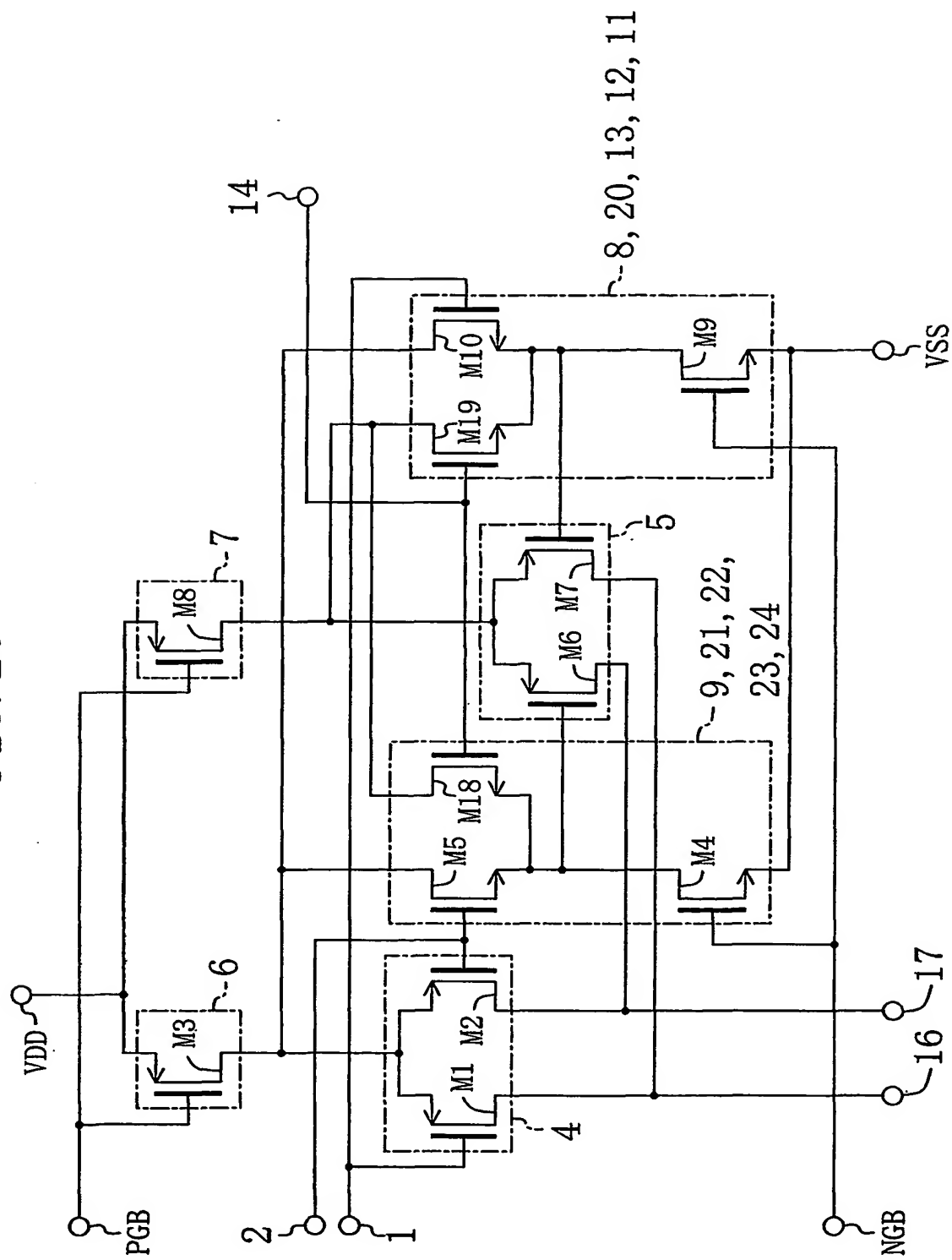


FIG. 21

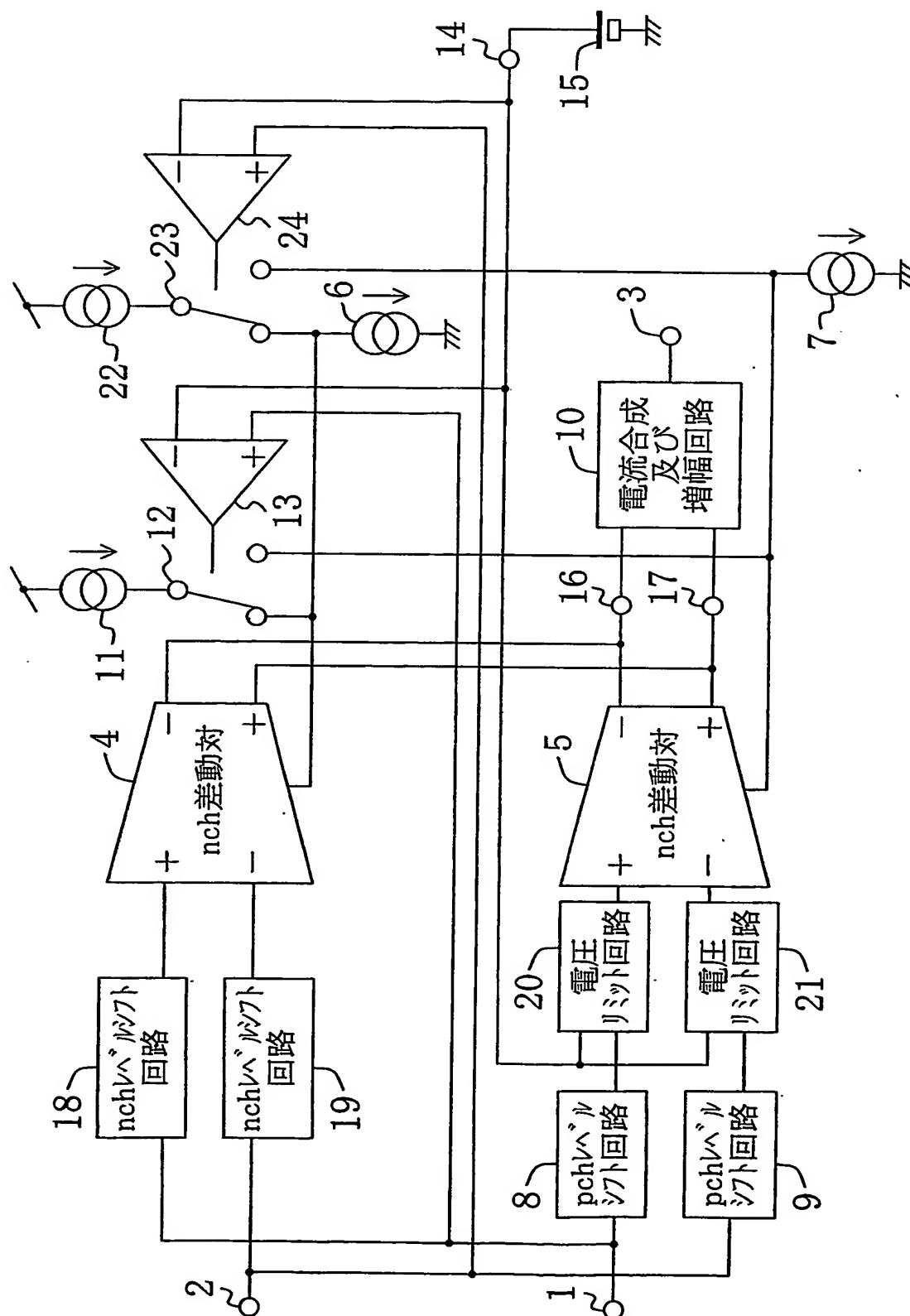


FIG. 22

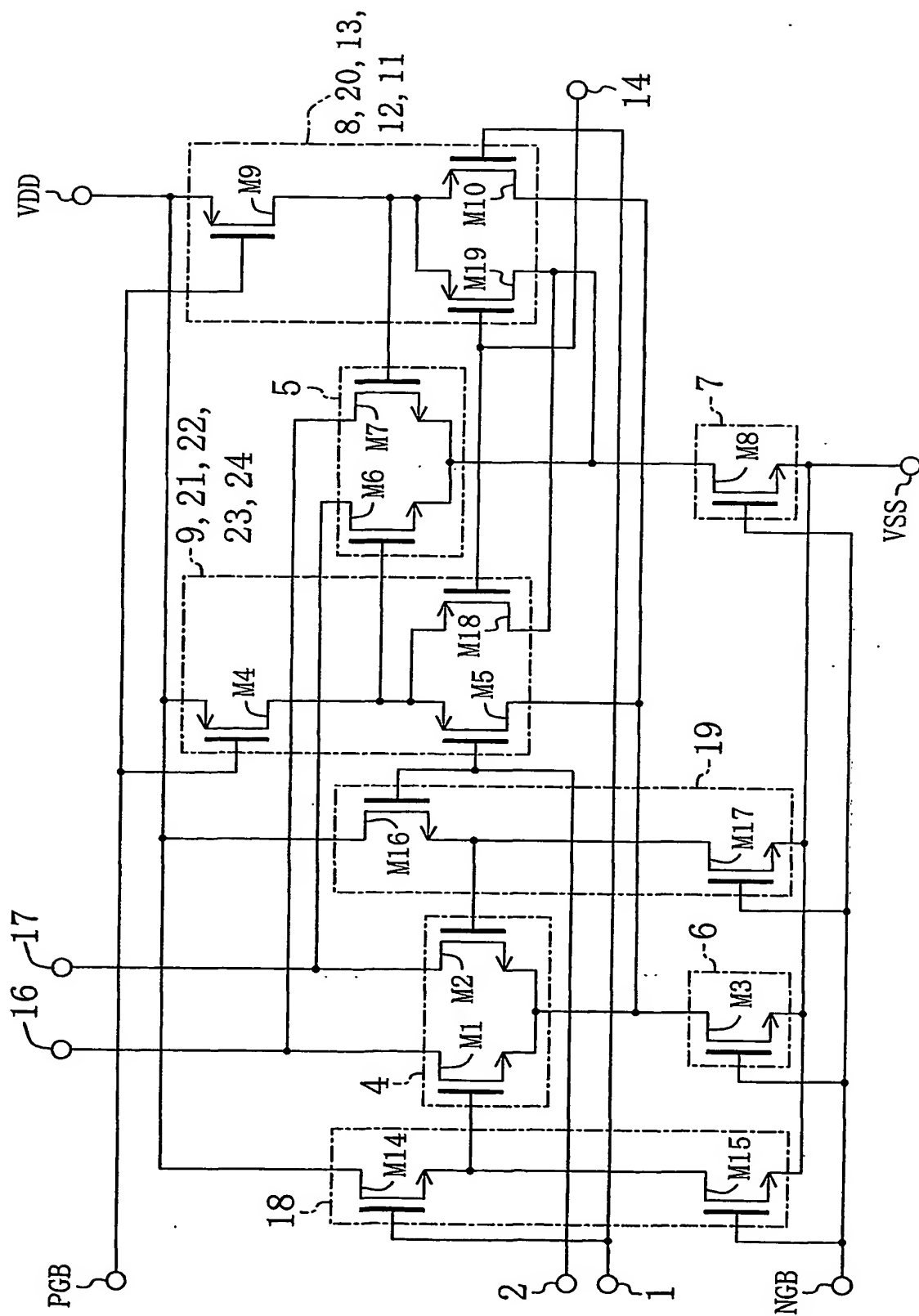
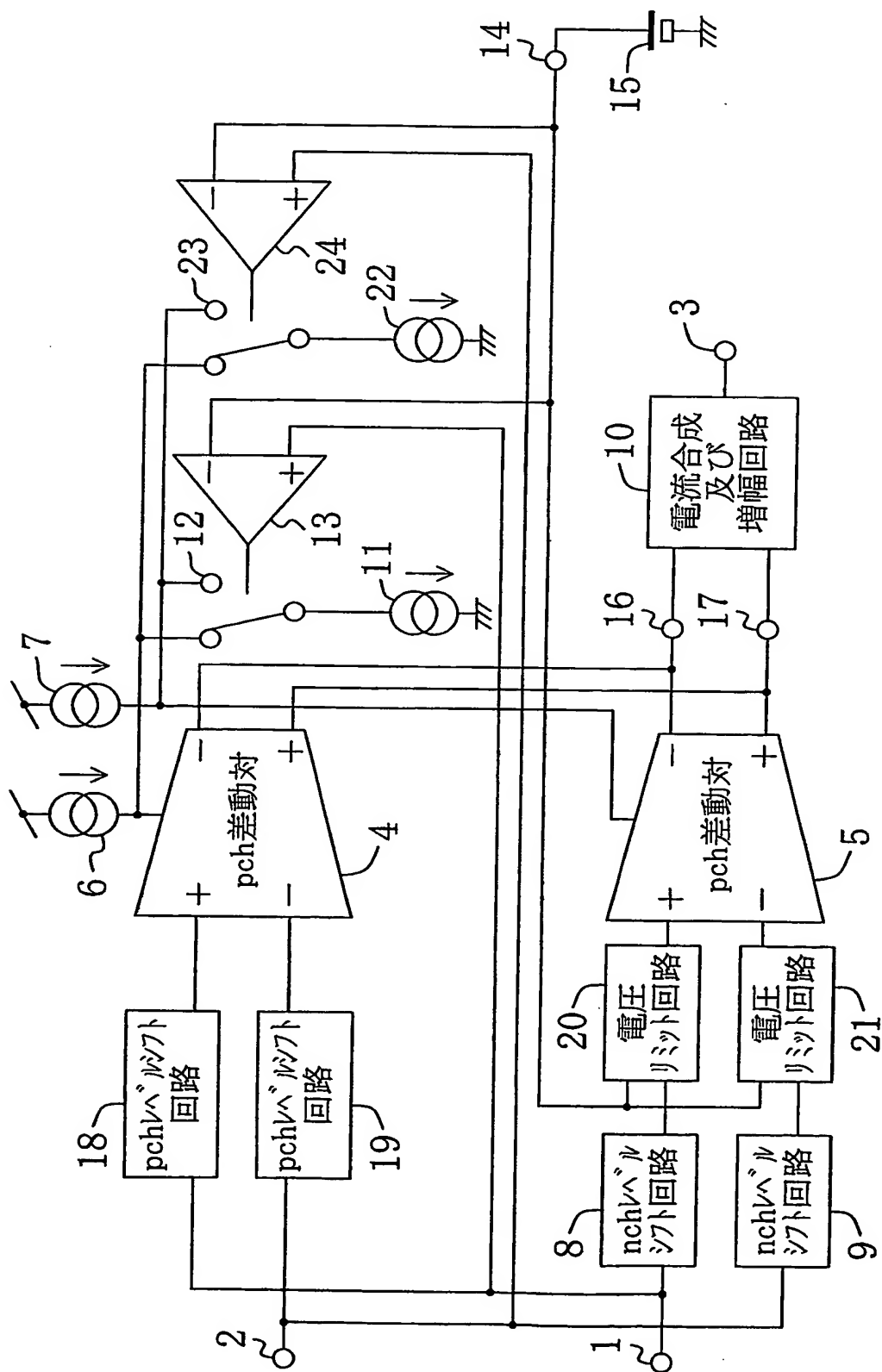
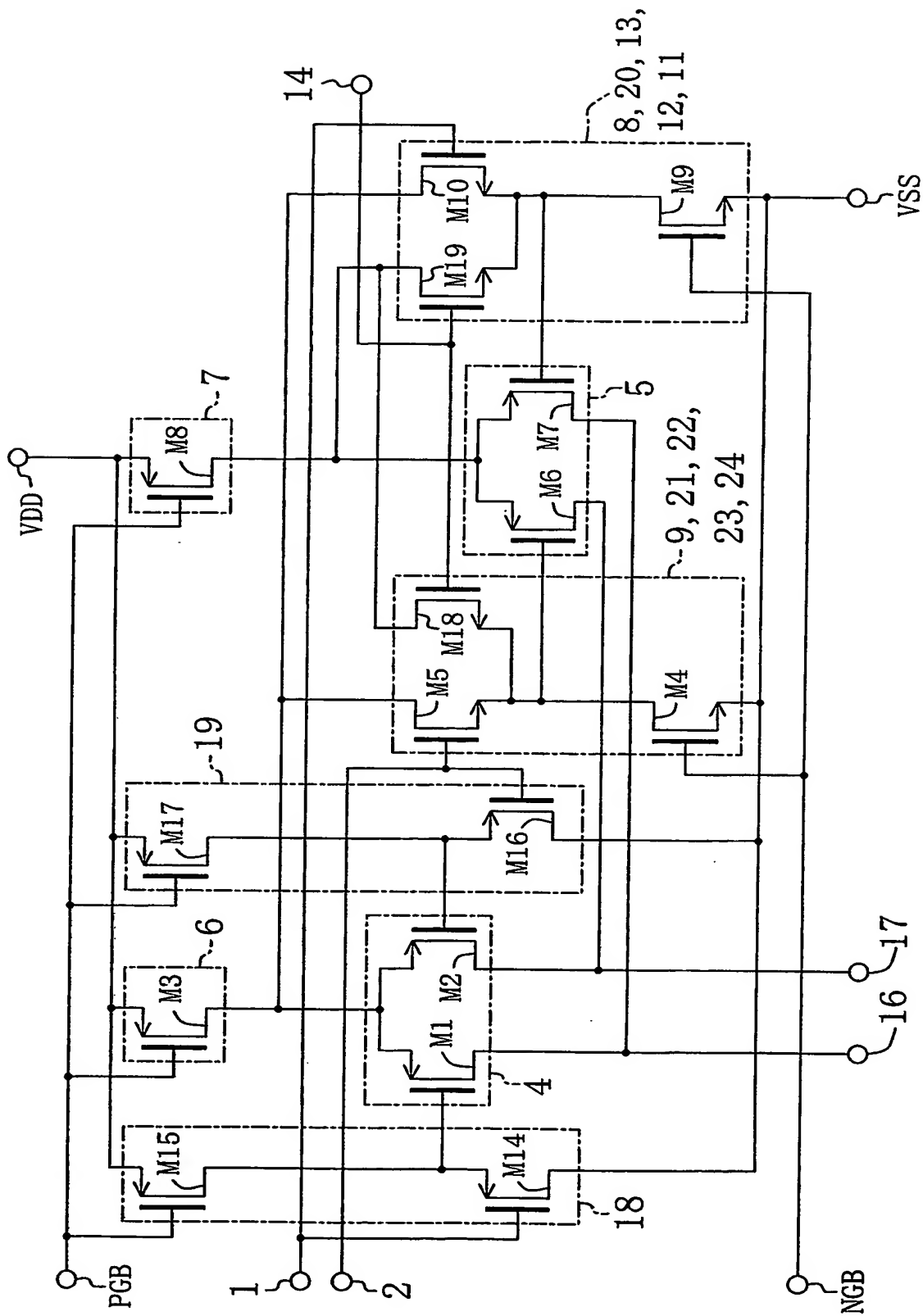


FIG. 23



24/35

FIG. 24



25/35

FIG. 25

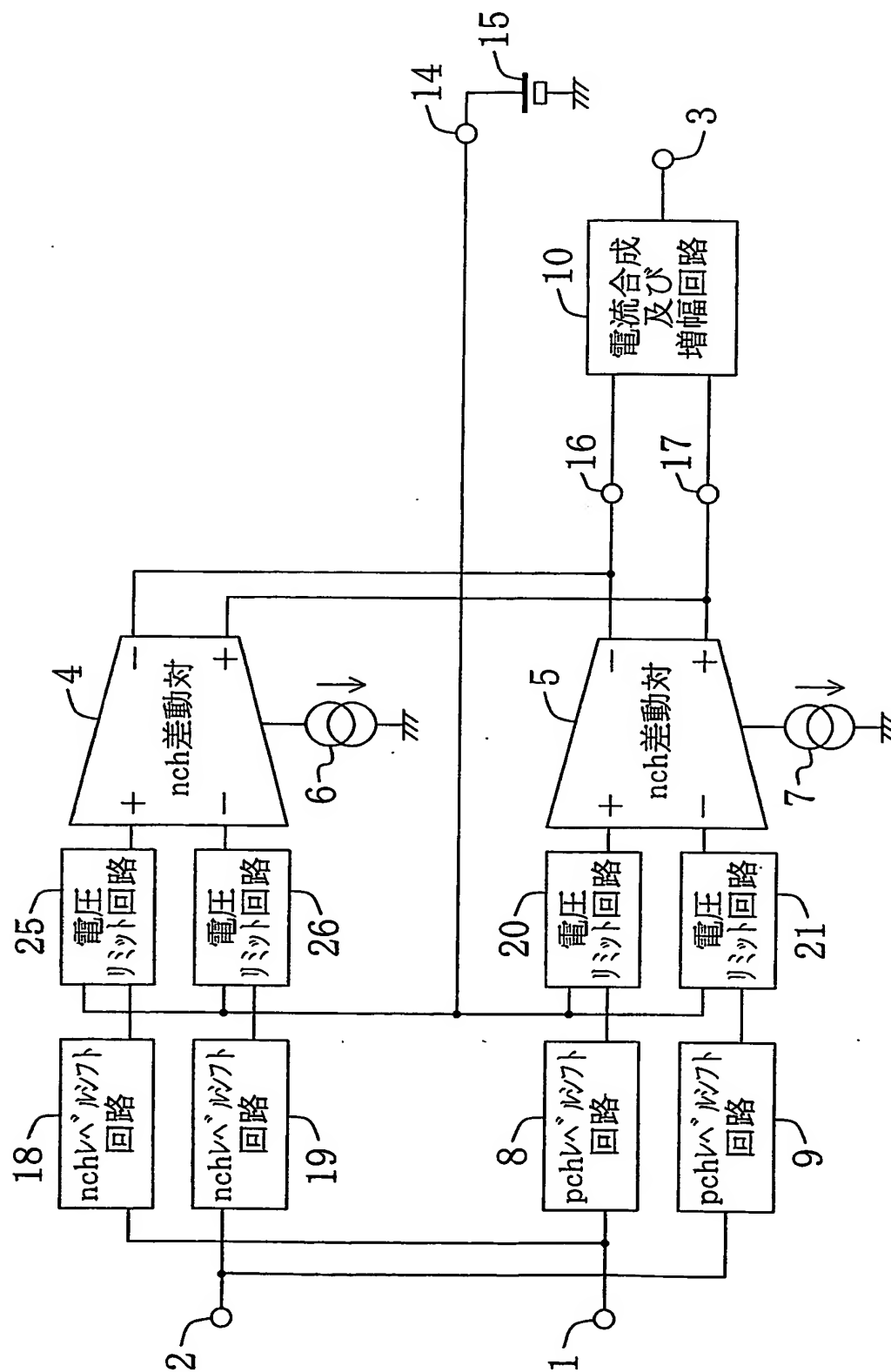
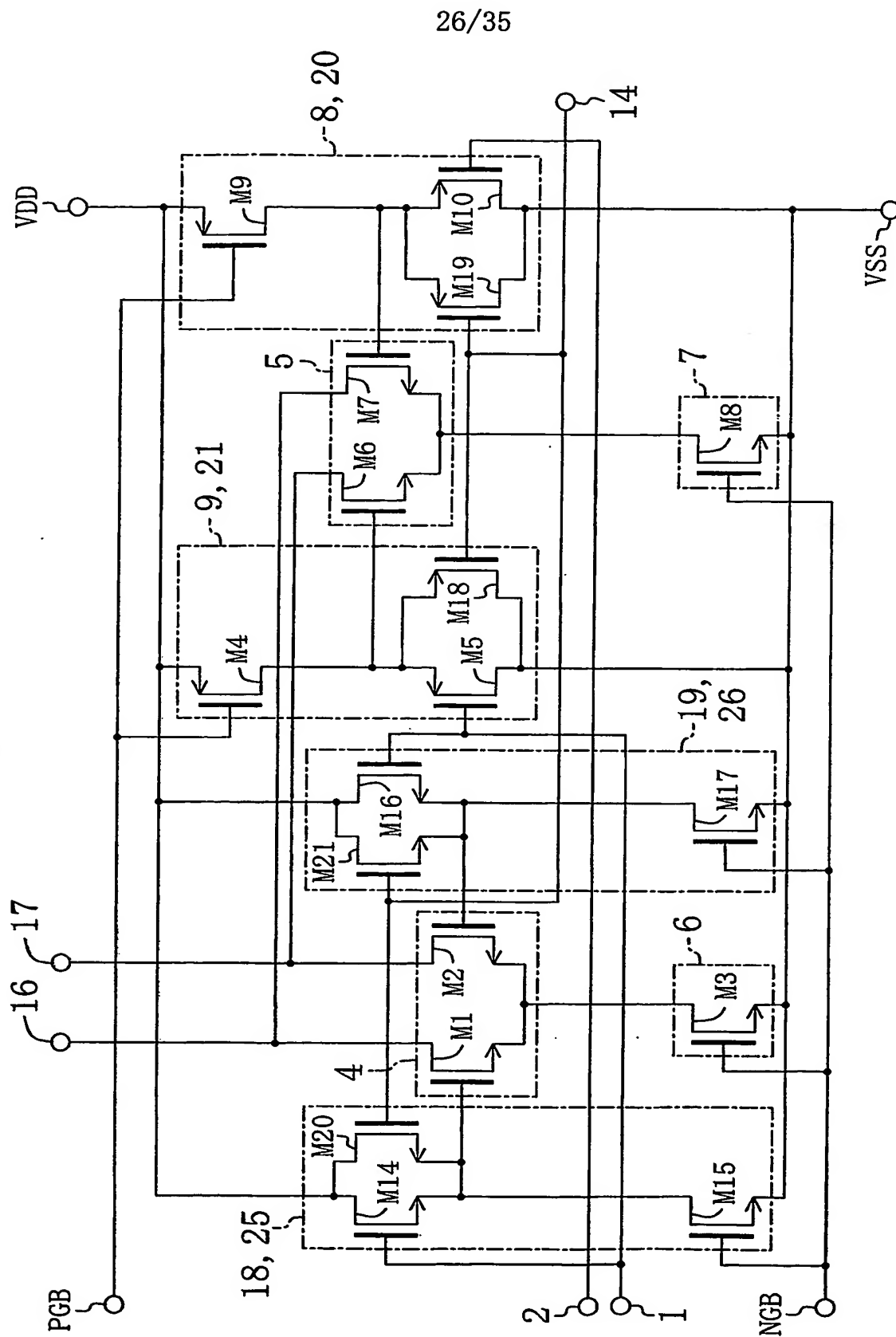
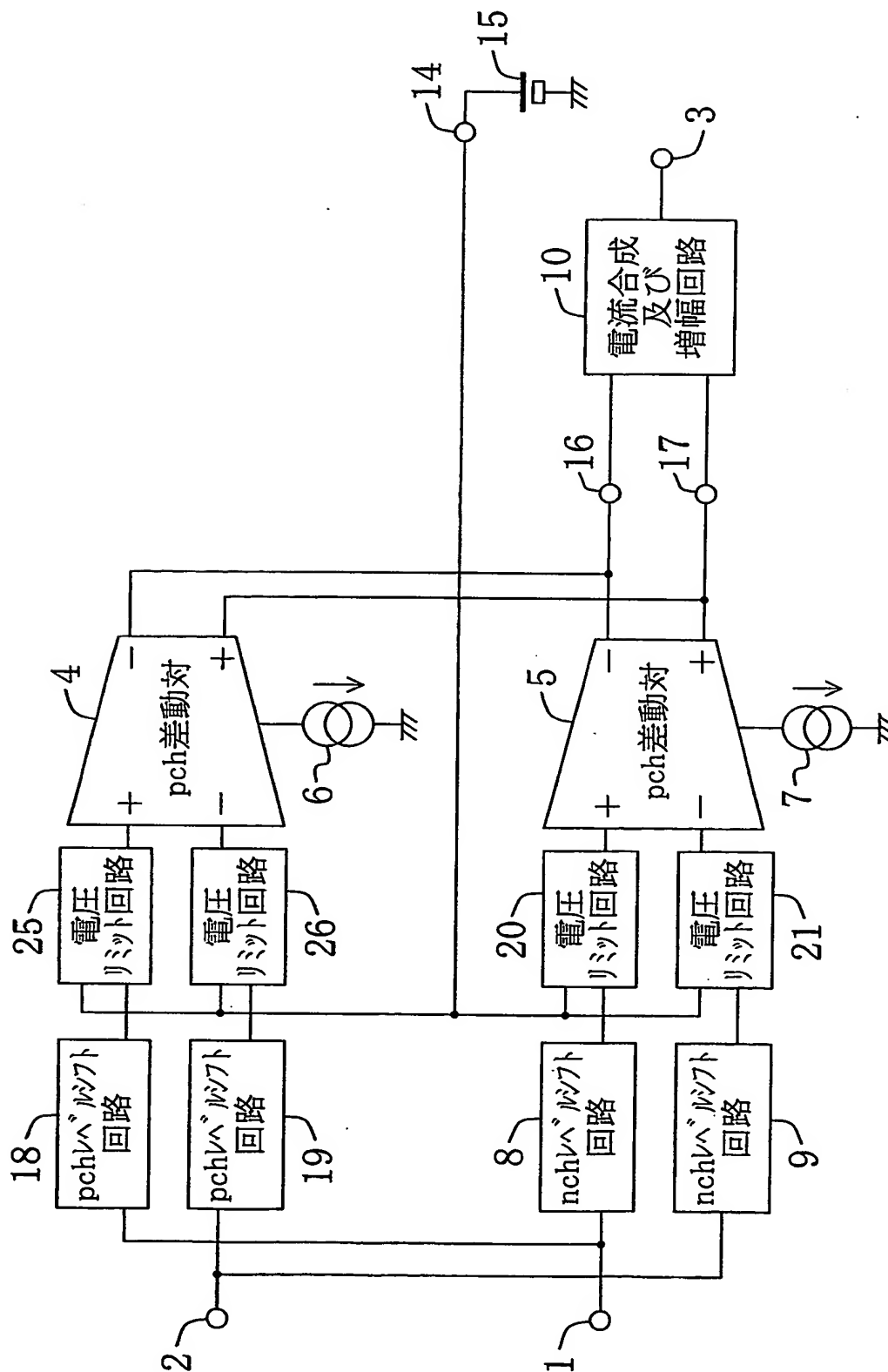


FIG. 26



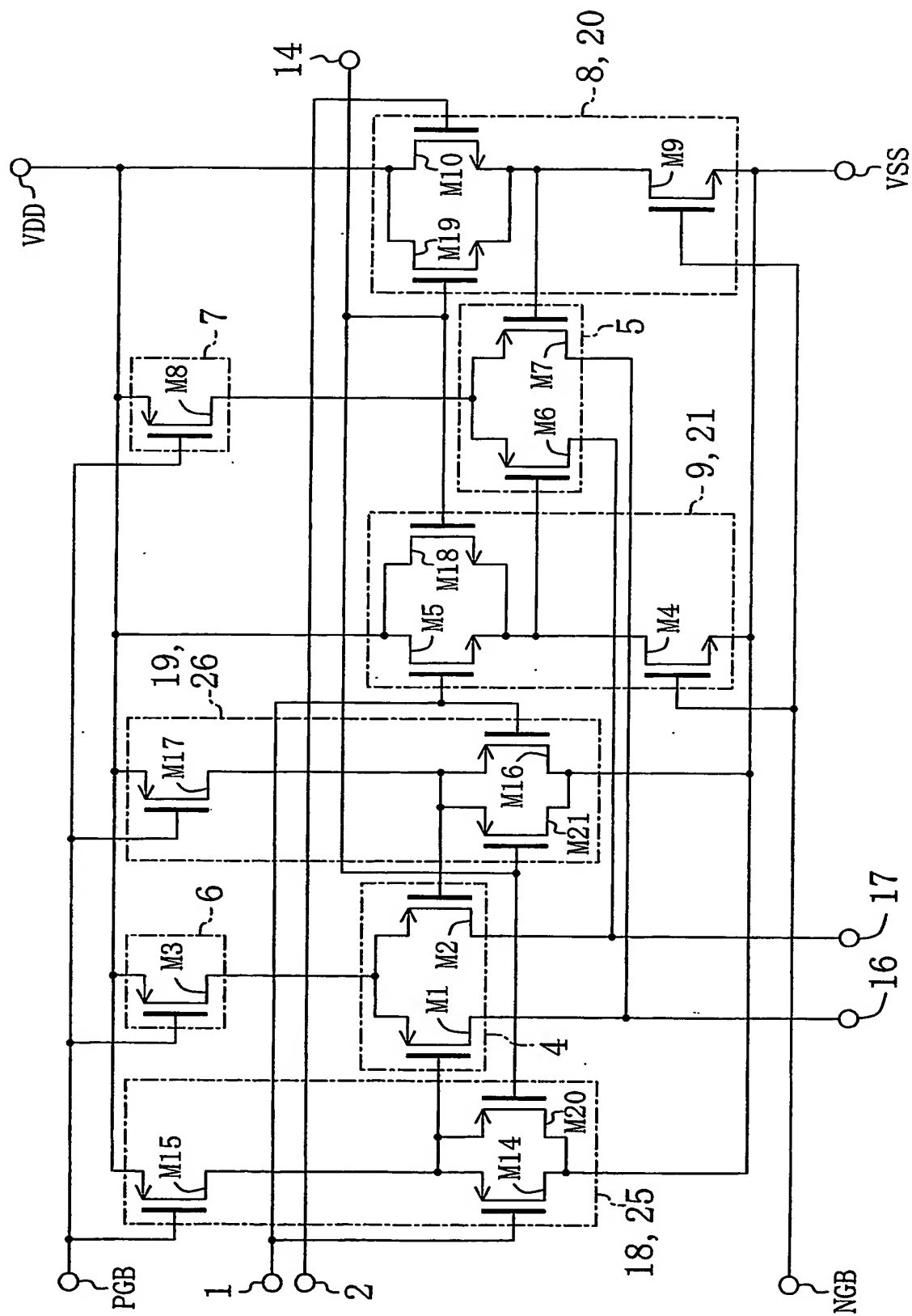
27/35

FIG. 27



28/35

FIG. 28



29/35

FIG. 29

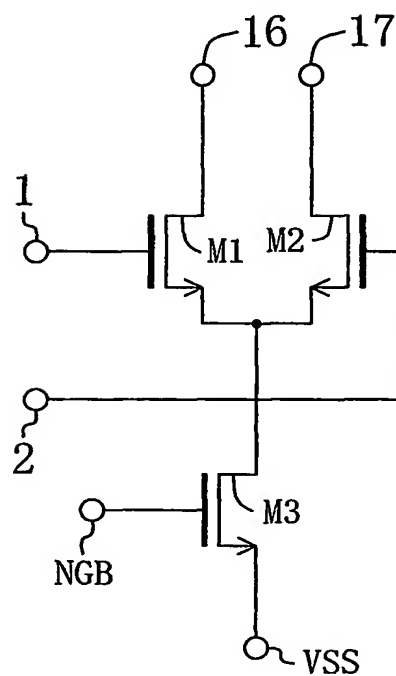
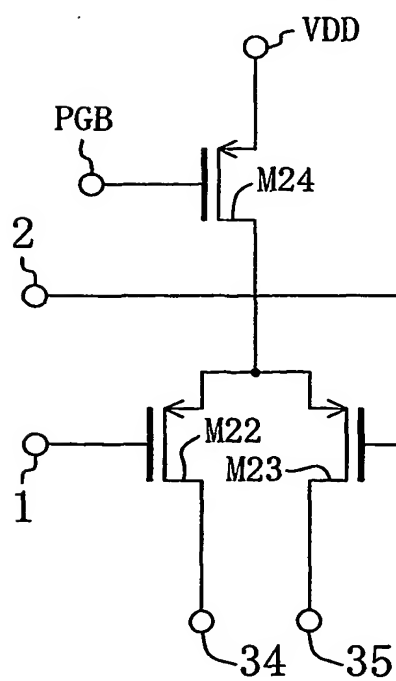
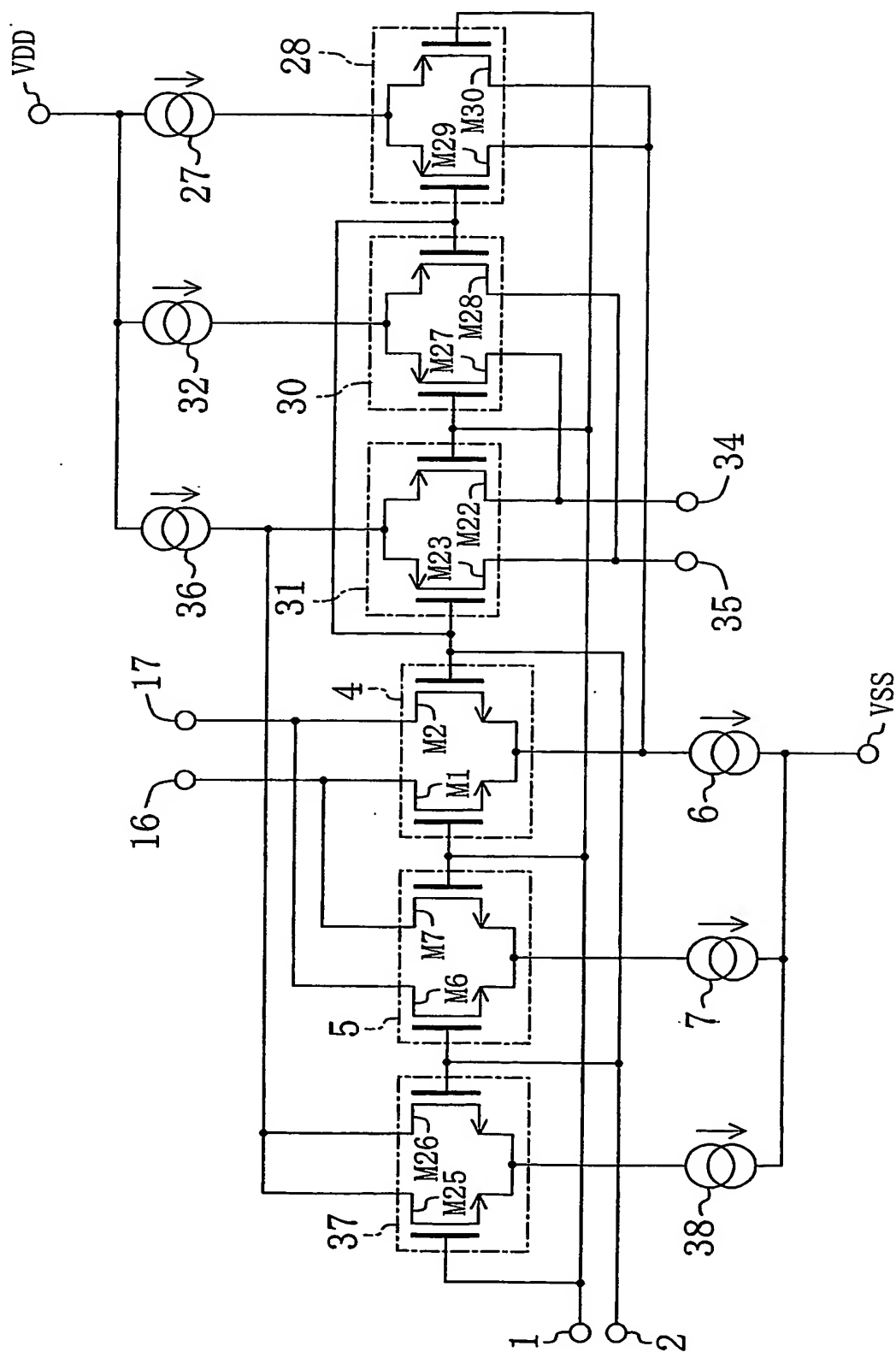


FIG. 30



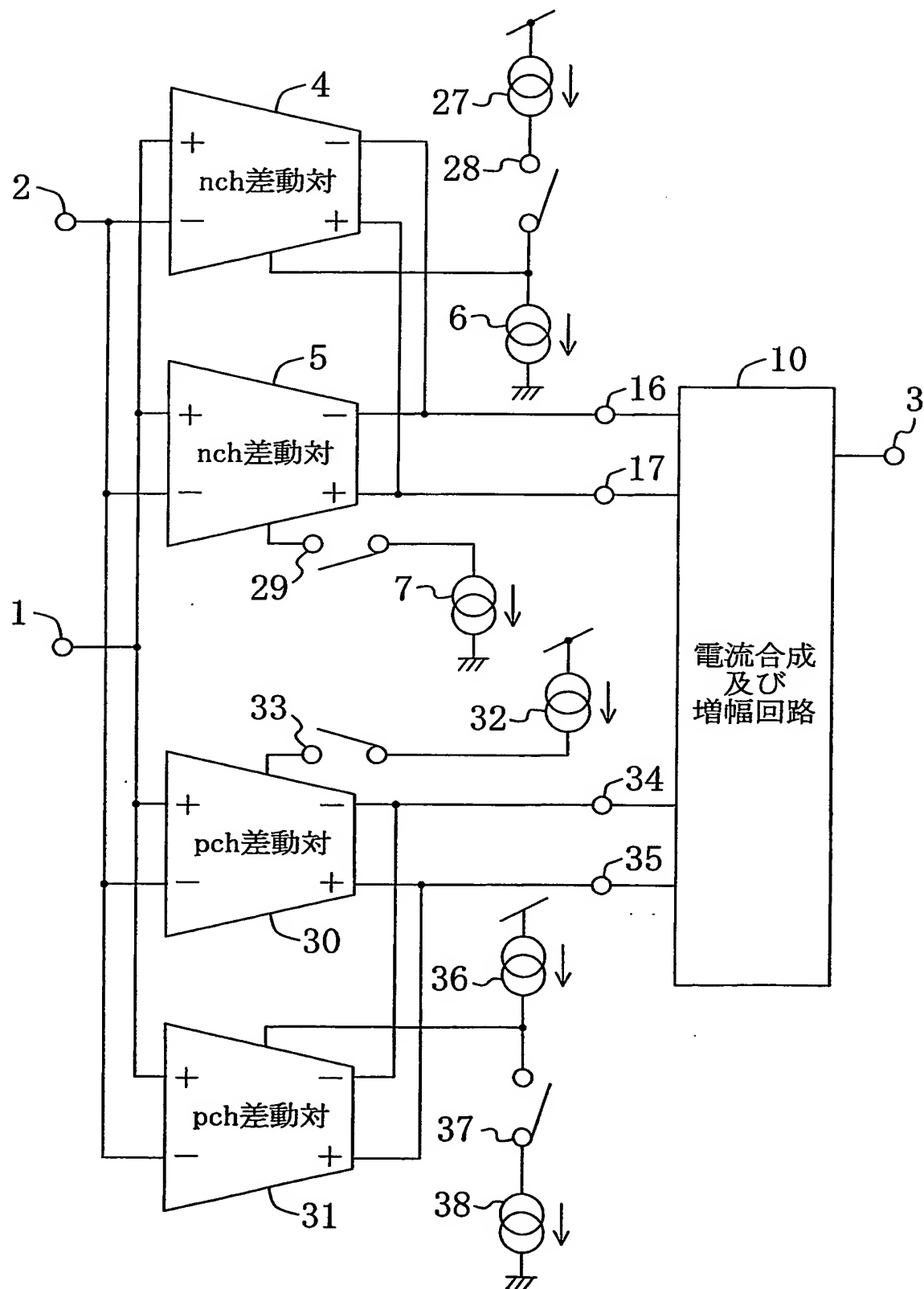
30/35

FIG. 31



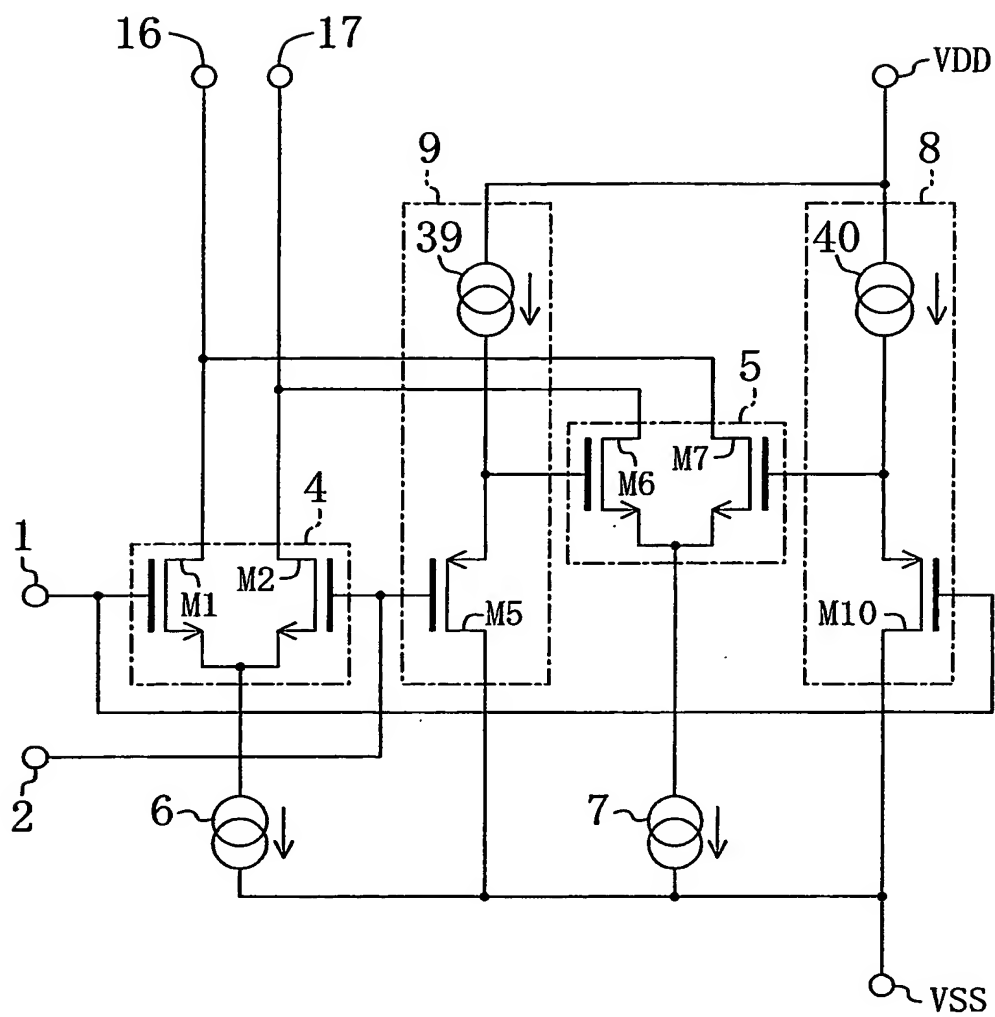
31/35

FIG. 32



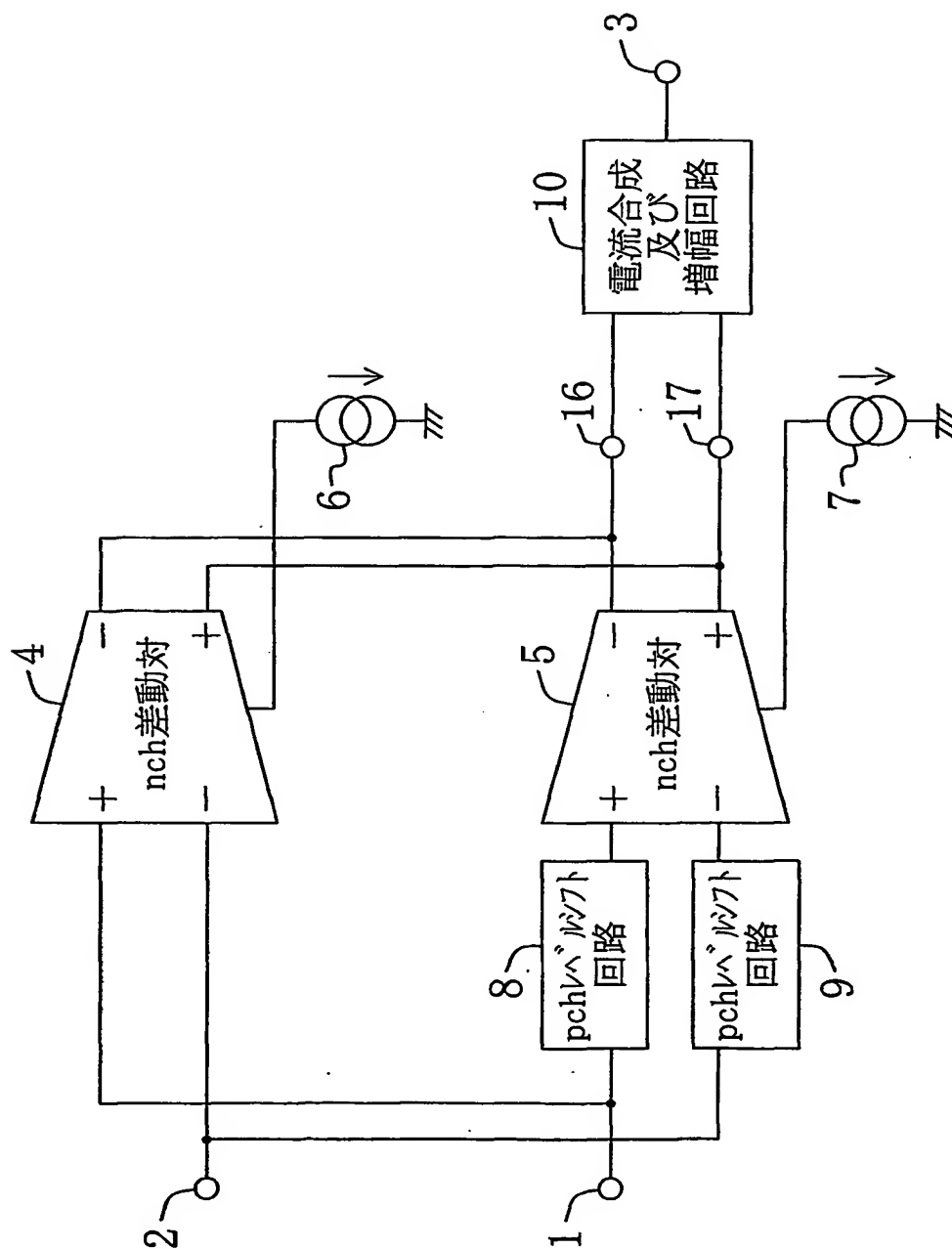
32/35

FIG. 33



33/35

FIG. 34



34/35

FIG. 35

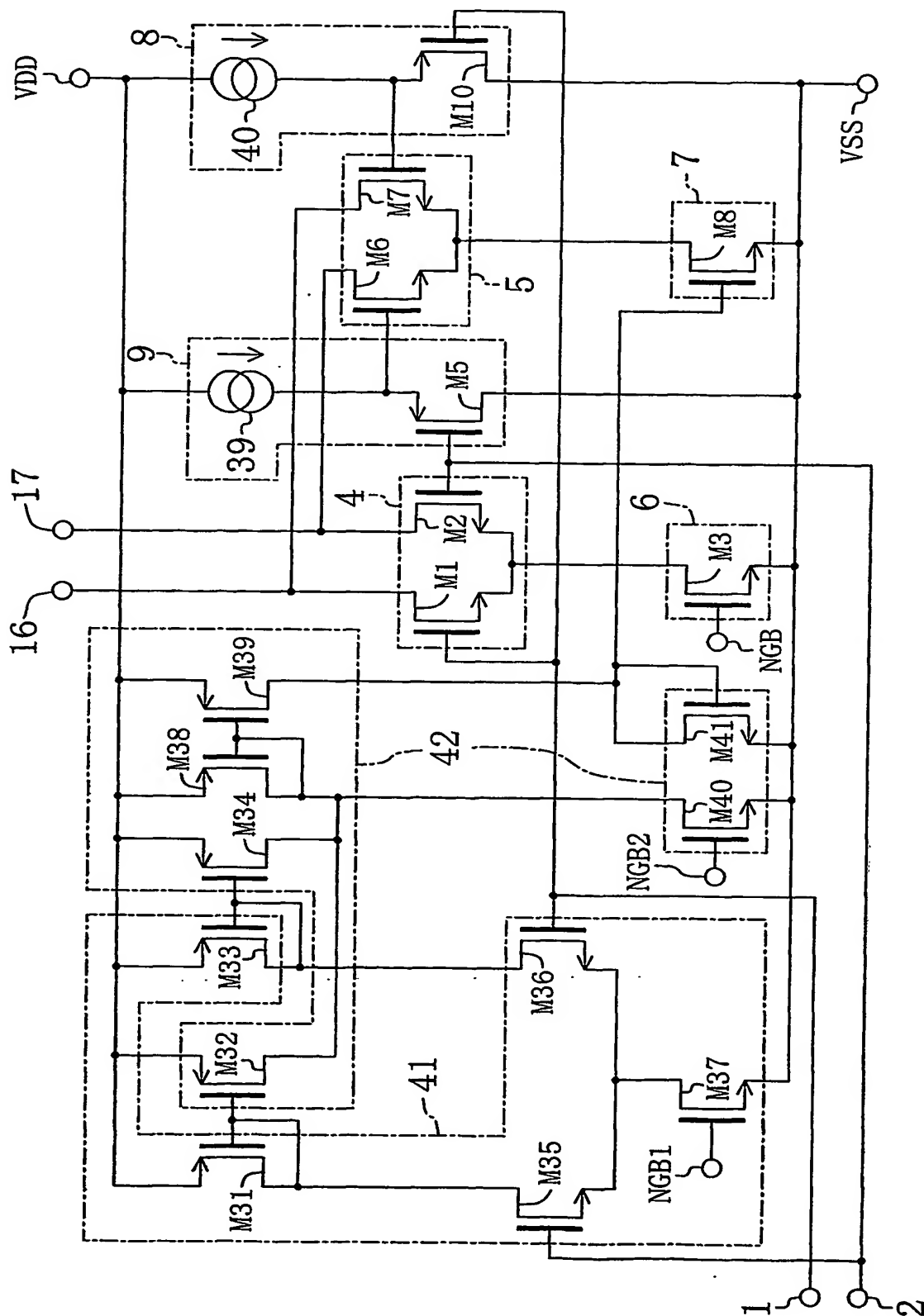
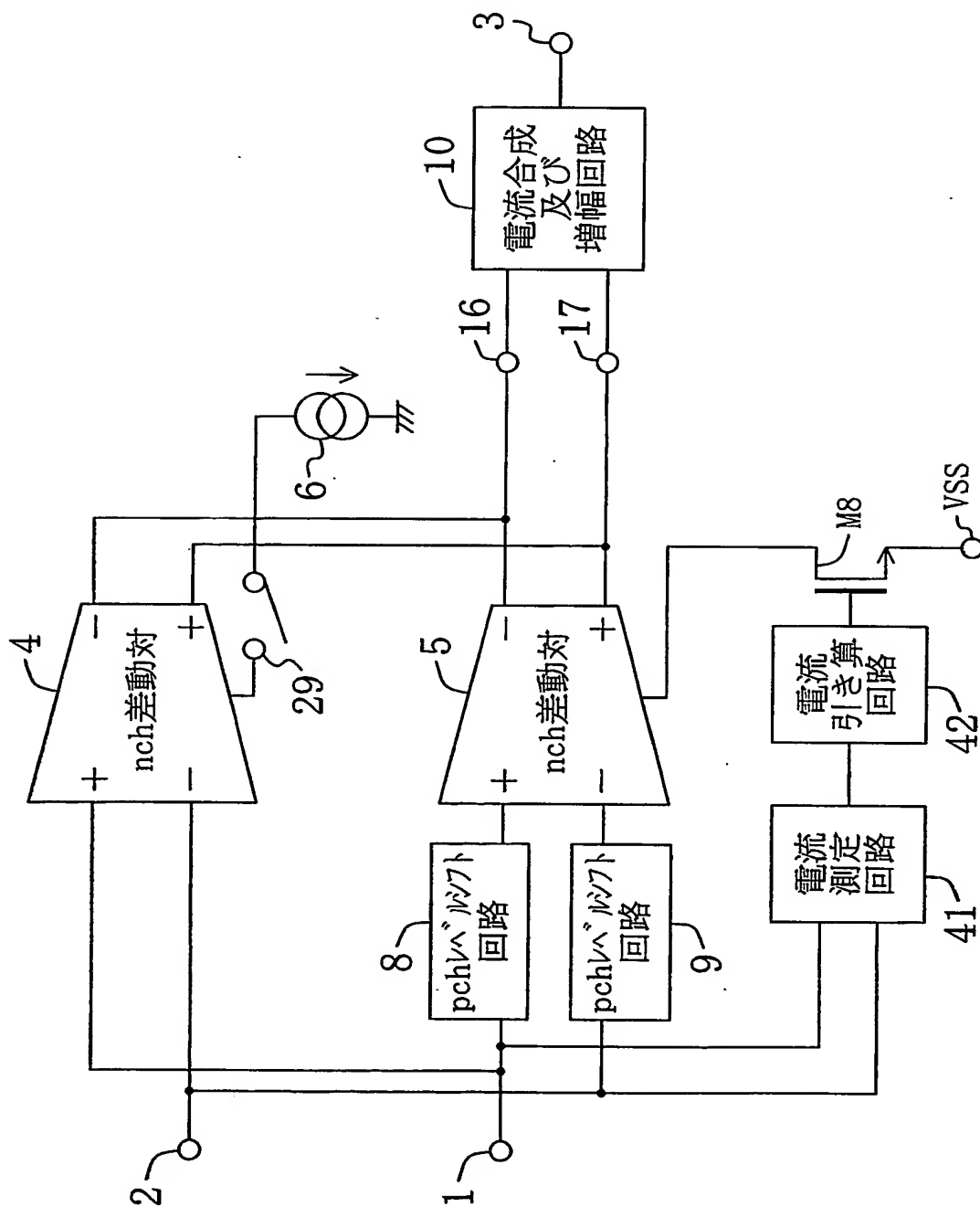


FIG. 36



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12922

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03F3/45, H03G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03F3/45, H03G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-18354 A (Asahi Kasei Microsystems Co., Ltd.), 19 January, 1996 (19.01.96), Full text; Figs. 1 to 3 (Family: none)	1-4, 8, 9 5, 6
Y A	JP 6-90125 A (Fujitsu Ten Ltd.), 29 March, 1994 (29.03.94), Full text; Figs. 1, 2 (Family: none)	1-4, 8, 9 5, 6
Y	JP 9-74322 A (Fuji Photo Film Co., Ltd.), 18 March, 1997 (18.03.97), Full text; Figs. 1, 2, 8 (Family: none)	1-4, 8, 9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"Q" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 January, 2004 (13.01.04)	Date of mailing of the international search report 27 January, 2004 (27.01.04)
--	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12922

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-355066 A (Sony Corp.), 24 December, 1999 (24.12.99), Full text; Figs. 1, 2 (Family: none)	7 2-4
Y	JP 6-169227 A (Mitsubishi Electric Corp.), 14 June, 1994 (14.06.94), Full text; Figs. 1 to 10 & US 5382917 A	3

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/45 H03G3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/45 H03G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 8-18354 A (旭化成マイクロシステム株式会社) 1996. 01. 19 全文, 図1-図3 (ファミリーなし)	1-4, 8, 9 5, 6
Y A	J P 6-90125 A (富士通テン株式会社) 1994. 03. 29 全文, 図1, 図2 (ファミリーなし)	1-4, 8, 9 5, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
13. 01. 2004

国際調査報告の発送日
2004. 7. 1.

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
畑中 博幸

5W 9180

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 9-74322 A (富士写真フイルム株式会社) 1997. 03. 18 全文, 図1, 図2, 図8 (ファミリーなし)	1-4, 8, 9
X	J P 11-355066 A (ソニー株式会社)	7
Y	1999. 12. 24 全文, 図1, 図2 (ファミリーなし)	2-4
Y	J P 6-169227 A (三菱電機株式会社) 1994. 06. 14 全文, 図1-図10 & US 5382917 A	3